

Docket No.: 49657-217

3rd Party Paper
L. Oshik
March 19/1998
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shigeki OHBAYASHI

Serial No.:

Group Art Unit:

Filed: November 20, 1998

Examiner:

For: SEMICONDUCTOR INTEGRATED CIRCUIT HAVING BONDING OPTIONAL
FUNCTION

jc518 U.S. PTO
09/196136
11/20/98

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

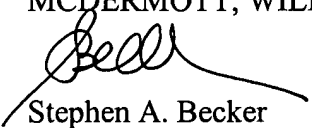
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 10-168311,
filed June 16, 1998

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

99 Canal Center Plaza, Suite 300
Alexandria, Virginia 22314
(202) 756-8600 SAB:dtb
Date: November 20, 1998
Facsimile: (202) 756-8699

CERTIFIED COPY OF
PRIORITY DOCUMENT

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

44657-211

Ohbayashi

November 29, 1998

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

PTO
Jc518 U.S.

09/196136



11/20/98

願年月日
Date of Application:

1998年 6月16日

願番号
Application Number:

平成10年特許願第168311号

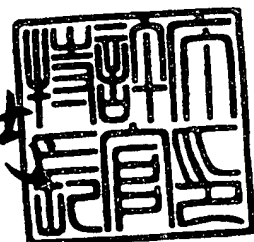
願人
Applicant(s):

三菱電機株式会社

1998年 7月24日

特許庁長官
Commissioner,
Patent Office

伴佐山建志



出証番号 出証特平10-305605

【書類名】 特許願

【整理番号】 51107001

【提出日】 平成10年 6月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04
G11C 11/34

【発明の名称】 半導体集積回路

【請求項の数】 8

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 大林 茂樹

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395

【弁理士】

【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9805688

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体集積回路であって、

前記半導体集積回路のプリント配線基板への実装後、該実装状態をテストするためのバウンダリースキャンテスト回路、

前記半導体集積回路が封止されるパッケージが表面実装型フラットパッケージであるか半田ボール面状配置型パッケージであるかに応じてその電位レベルが設定される第 1 のパッド、および

前記第 1 のパッドの電位に従って前記バウンダリースキャンテスト回路を動作可能または動作不能状態に固定的に設定する制御手段を備える、半導体集積回路。

【請求項 2】 前記バウンダリースキャンテスト回路は、第 2 のパッドに結合され、動作可能時前記第 2 のパッドを介して外部から与えられる信号に応じた内部信号を生成するバッファ回路を含み、

前記制御回路は、前記パッケージが半田ボール面状配置型パッケージのとき前記バッファ回路を動作可能状態に設定し、一方、前記パッケージがフラットパッケージのとき前記バッファ回路の出力信号電位を固定して動作不能状態に設定する手段を含む、請求項 1 記載の半導体集積回路。

【請求項 3】 前記バウンダリースキャンテスト回路は、第 2 のパッドに結合される第 1 の入力と、第 2 の入力とを有する第 1 の論理ゲートを含み、

前記制御手段は、

前記第 1 のパッドの電位に応じた電位の信号を発生する機能設定回路と、

前記機能設定回路の出力信号に従って前記第 1 の論理ゲートの第 2 の入力へ前記第 1 の論理ゲートを動作可能または動作不能状態のいずれかに設定する信号を与える第 2 の論理ゲートを含む、請求項 1 記載の半導体集積回路。

【請求項 4】 前記バウンダリースキャンテスト回路は、第 2 のパッドに結合される第 1 の入力と、第 2 の入力とを有する第 1 の論理ゲートを含み、

前記制御手段は、

前記第1のパッドの電位に応じた電位の信号を発生する機能設定回路と、

第3のパッドの電位に応じた電位の信号を発生するモード設定回路と、

前記機能設定回路の出力信号と前記モード設定回路の出力信号とを受けて論理処理を施して、前記第1の論理ゲートの第2の入力へ与える第2の論理ゲートを含む、請求項1記載の半導体集積回路。

【請求項5】 前記機能設定回路は、

電源投入時、前記第1のパッドを第1の論理レベルに設定するための第1のトランジスタと、

前記第1のパッドの電位の論理レベルを反転して前記機能設定回路の出力信号に対応する信号を出力するインバータ回路と、

前記第1のパッドと前記第1の論理レベルの電位を与える電源との間に前記第1のトランジスタと並列に接続されかつ前記インバータ回路の出力信号を制御電極ノードに受ける第2のトランジスタとを含む、請求項3または4記載の半導体集積回路。

【請求項6】 前記モード設定回路は、

電源投入時、前記第3のパッドを第1の論理レベルの電位レベルに設定するための第1のトランジスタと、

前記第3のパッドの電位の論理レベルを反転して前記モード設定回路の出力信号に対応する信号を出力するインバータ回路と、

前記第3のパッドと前記第1の論理レベルの電位を与える電源との間に前記第1のトランジスタと並列に接続されかつ前記インバータ回路の出力信号を制御電極ノードに受ける第2のトランジスタとを含む、請求項4記載の半導体集積回路。

【請求項7】 パッド、

電源投入時、前記パッドを第1の論理レベルの電圧レベルに設定するための第1のトランジスタ、

前記パッド上の電位の論理を反転するためのインバータ、および

前記第1のトランジスタと並列に設けられかつ前記インバータの出力信号を制御電極ノードに受ける第2のトランジスタを備え、

前記インバータの出力信号により内部回路の動作モードが設定される、半導体集積回路。

【請求項 8】 前記パッドと前記インバータの入力部との間に介挿され、その制御電極ノードに固定電位を受ける転送ゲートをさらに備える、請求項 7 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体集積回路に関し、特に、封止されるパッケージの型式または用いられる動作モードに応じてパッドの電位が異なるボンディングオプションピン（またはパッド）を有する半導体集積回路に関する。より特定的には、この発明は、このような半導体集積回路におけるボンディングオプションピンに対応して設けられる入力回路の構成に関する。

【0002】

【従来の技術】

半導体集積回路が高集積化されかつ高機能化されるにつれて、入出力される信号の数も多くなり、応じて外部と信号の授受を行なうためのピン端子の数も多くなる。ピン数を多くするために、パッドの周辺すべてにピン端子を配置する F P（フラットパッケージ）が用いられる。図 11（A）は、Q F P（クワッド・フラット・パッケージ）の上面図であり、図 11（B）は、この Q F P パッケージの前面図であり、図 11（C）は、Q F P パッケージの右側面図である。

【0003】

この図 11（A）に示すように、Q F P パッケージは、矩形形状を有し、その 4 辺にピン端子 P が配置される。この Q F P パッケージの長辺方向の長さは、たとえば 20 ± 0.1 mm であり、短辺方向の長さは、 14 ± 0.1 mm である。外部ピン端子 P の長さは、約 2.0 mm である。図 11（A）においては、この長辺および短辺すべてに沿ってピン端子 P が配置される。長辺方向においては、ピン番号 # 1 ~ # 30 および # 51 ~ # 80 のピン端子が対向して配置され、短辺においては、ピン番号 # 31 ~ 50 および # 81 ~ # 100 のピン端子が対向

して配置される。

【0004】

図11 (B) および (C) に示すように、これらのピン端子Pはガルウイング形状 (L字形) 形状を有しており、パッケージの側面中央部からピン端子が取出され、L字形の先端の平坦部は、このQFPパッケージの底部とほぼ同じ高さである。

【0005】

図11 (D) に、図11 (B) に示す部分30Bの拡大図を示す。この図11 (D) においては、封止樹脂で構成されるパッケージPKの側面から、ピン端子Pが取出され、ガルウイング形状にその形状が整形される。このピン端子Pの底部 (平坦部分) は、パッケージPKの底部とその高さの差が極めて小さく、したがって、このQFPの高さは、約1.6mmと十分低くされる。このピン端子Pの平坦部分においてプリント配線基板の配線とはんだ付けされる。このQFPは、表面実装型パッケージとして広く用いられている。

【0006】

このQFPは、ピン端子ピッチが、たとえば0.65mmである。しかしながら、さらにピン端子の数が増えると、ピン端子ピッチ (ピン端子間の間隔) が小さくなる。ピン端子 (リード端子) は、細く変形しやすいため、プリント配線基板への実装時、取扱いによっては、ピン端子が変形し、正常にプリント配線基板にはんだ付けできなくなる可能性がある (ピン端子の位置ずれまたはピン端子間短絡または破損)。ピン端子数の増加に対応するために、その端子間ピッチを低減することなく、多くの端子を配置するボール・グリッド・アレイ型 (BGA) パッケージ (半田ボール面状配置型パッケージ) が用いられてきている。

【0007】

図12 (A) は、ボールグリッドアレイ型パッケージの上面図であり、図12 (B) は、このボールグリッドアレイ型パッケージの右側面図であり、図12 (C) は、ボールグリッドアレイ型パッケージの裏面図である。

【0008】

図12 (A) に示すように、ボールグリッドアレイ型パッケージは、その上面

においては、基板BAS上に、モールド樹脂MRが形成され、このモールド樹脂MRにより半導体集積回路が封止される。図12(B)に示すように、この基板BASの裏面に、半田ボールSBが整列して配置される。

【0009】

この半田ボールSBは、図12(C)に示すように、基板BASの裏面に行列状に整列して配置される。図12(C)においては、第1列から第9列および第A行から第U行からなるマトリックスに整列して配置される半田ボールSBを一例として示す。

【0010】

このBGA（ボールグリッドアレイ型）パッケージの場合、半田ボールSBの直径は、約0.76mmであり、半田ボールSB間のピッチは、約1.27mmである。半田ボールSBの高さは約0.60mmである。パッケージの高さは、半田ボールを含めて2.06mm程度である。モールド樹脂の形状は、長辺方向が約19.50mmであり、短辺が約12.00mmである。

【0011】

BGAパッケージの場合、基板BASの裏面に形成された半田ボールSBが、プリント配線基板上に形成された半田パッドに電氣的に接続される。

【0012】

このBGAパッケージの場合、半田ボールSBが、QFPパッケージのピン端子に対応し、したがって端子ピッチは、BGAパッケージの場合、QFPパッケージよりも広くすることができる。したがって限られた面積内に数多くのピン端子を配置することができ、パッケージ面積を低減することができる。また、半田ボールSBは、ボード実装時においては、硬いボールであり、接触による変形が生じる可能性は小さい。このBGAパッケージにおいては、半田ボールSBが、プリント配線基板に形成される半田パッドに電氣的に接続される（リフローはんだ付け）ため、リード端子（ピン端子）のインダクタンスが小さい。

【0013】

しかし、このBGAパッケージは、リフローはんだ付け時におけるリフロー加熱により吸湿された水分が膨張し、基板またはモールド樹脂などと半導体集積回

路チップが剥離するまたはモールド樹脂および／または基板がクラックするなどの現象が生じる。また、BGAパッケージの場合、端子ピッチを小さくし過ぎる場合、プリント配線基板の配線総数が増え、実装基板のコストが増大する。また、両面プリント配線基板がこのBGAパッケージにおいては用いられているため、基板の反りにより、パッケージにおける端子の高さのばらつきが生じ、半田ボールの接触性に差が生じるなどの欠点がある。

【0014】

したがって、これらのQFPパッケージおよびBGAパッケージ両者の特徴を生かして、1つの半導体集積回路装置は、用途に応じてそのパッケージが使い分けられている。

【0015】

今、半導体集積回路の一例として、シンクロナス・バースト・SRAM（スタティック・ランダム・アクセス・メモリ）を例にとって考える。このシンクロナス・バーストSRAMは、外部からのクロック信号に従って、所定のバースト長のデータを連続的に書込／読出を行なうことができる。

【0016】

図13は、従来のシンクロナス・バーストSRAMの全体の構成を概略的に示す図である。図13において、シンクロナス・バーストSRAM100は、行列状に配列される複数のスタティック型メモリセルを有するメモリアレイ102と、外部からのクロック信号CLKに同期してアドレス信号ADを取込むアドレスレジスタ104と、アドレスレジスタ104からのアドレス信号の最下位2ビットを取込み、所定のシーケンスで順次変化させて出力するバーストカウンタ106と、アドレスアドバンス／ADV、アドレスステータスプロセッサ／ADSPおよびアドレスステータスコントローラ／ADSCをクロック信号CLKに同期して取込み、これらの信号の状態に従ってアドレスレジスタ104およびバーストカウンタ106の動作を制御するアドレス制御回路108を含む。

【0017】

アドレス制御回路108は、クロック信号CLKの立上がりエッジでアドレスアドバンス／ADVがLレベルのときには、バーストカウンタ106にカウント

動作を行なわせる。アドレス制御回路 108 は、クロック信号 CLK の立上がりエッジでアドレスステータスプロセッサ / ADSP およびアドレスステータスコントローラ / ADSC の一方が L レベルのとき、アドレスレジスタ 104 に外部からのアドレス信号 AD を取込ませかつバーストカウンタ 106 にバースト動作を停止させてアドレスレジスタ 104 からの下位 2 ビットアドレス信号を取込ませる。

【0018】

バーストカウンタ 106 が、取込んだアドレス信号ビットを変化させるシーケンスは、バーストモードコントロール MODE により決定される。このバーストモードコントロール MODE により、バーストカウンタ 106 は、取込んだアドレスを順次 1 ずつ増分させるリニアバースト動作を行なうかまたは所定のシーケンスで、上位ビットおよび下位ビットを順次変化させるインタリーブバースト動作を行なう。このシンクロナス・バースト SRAM においては、アドレスアドバンス / ADV がクロック信号 CLK の立上がりエッジにおいて L レベルのときには、バーストカウンタ 106 はカウント動作を行ない、そのアドレス信号を変化させる。したがって、外部からアドレス信号 AD を各クロックサイクルに与えることなく内部でアドレス信号が生成されてメモリアレイ 102 のメモリセルがアドレス指定される。

【0019】

シンクロナス・バースト SRAM 100 は、さらに、クロック信号 CLK に同期してライトイネーブルコントロール / WE およびチップセレクトコントロール / CS を取込み、書込動作に必要な制御をクロック信号 CLK に同期して行なう書込制御回路 110 と、書込制御回路 110 の制御の下に、データ書込時、外部からのデータ D (DQ) をクロック信号 CLK に同期して取込む入力レジスタ 112 と、書込制御回路 110 の制御の下に入力レジスタ 112 から与えられたデータをメモリアレイ 102 のアドレス指定されたメモリセルへ書込む書込回路 114 を含む。この書込制御回路 110 は、また出力イネーブル / OE により、書込動作を停止させる。

【0020】

ライトイネーブルコントロール／WEは、バイト単位でのデータ書込を許可するためのマスタバイトライト／MBW、全ビット（たとえば32ビット）のメモリセルに対し同時に書込を行なうためのグローバルライト／GW、およびバイト単位でのデータ書込を制御するためのバイトライト／BW1、／BW2、／BW3、および／BW4を含む。データ書込時においては、バイト単位でデータ書込の制御（マスク）を行なうことができ、入力レジスタ112も、したがって、この書込制御回路110の制御の下に、内部書込データのバイト単位での転送を行なう。

【0021】

シンクロナス・バーストSRAM100は、さらに、出力イネーブル／OEと書込制御回路110の出力信号とに従って出力制御信号を生成する出力制御回路118と、メモリアレイ102の選択メモリセルのデータを読出してラッチする出力レジスタ116と、出力制御回路118の制御の下に、この出力レジスタ116のラッチデータを順次外部へ出力する出力バッファ120を含む。

【0022】

書込制御回路110は、出力イネーブル／OEが活性状態のLレベルとなると、次のサイクルで書込制御動作を停止し、出力制御回路118をイネーブルする。出力制御回路118は、このイネーブル状態において出力イネーブル／OEに従って出力バッファ120を、出力ハイインピーダンス状態から出力低インピーダンス状態として、出力レジスタ116からの読出データを順次外部へ出力する。出力レジスタ116は、フォロースルー／FTに従って、クロック信号CLKに従ってパイプライン的に読出データを出力バッファ120へ伝達するかまたはノンパイプライン的にクロック信号CLKを無視してメモリアレイ102から読出されたデータをそのまま出力バッファ120へ転送する。スヌーズモードコントロールZZが各回路へ与えられており、活性化時各回路の動作を停止させて消費電流を低減する。

【0023】

このシンクロナス・バーストSRAM100は、また、電源電圧VDDおよびVSSを内部回路の動作電源電圧として受け、また電圧VDDQおよびVSSQ

を入出力バッファ回路の動作電源電圧として受ける。入出力バッファ回路用の電源電圧 V_{DDQ} および V_{SSQ} を、内部回路動作用の電源電圧 V_{DD} および V_{SS} と別々に設けることにより、入出力バッファ動作時において電源電圧 V_{DDQ} および V_{SSQ} が変動しても、その電源電圧の変動（電源バンプ）が内部回路動作に対し悪影響を及ぼすのを防止する。また、入出力回路を安定に動作させる。また電圧 V_{DDQ} は、約1.8Vであり、一方、電圧 V_{DD} は約3.3Vであり、ボード上を高速で信号を伝達する。

【0024】

このようなシンクロナス・バーストSRAMにおいても、このシンクロナス・バーストSRAMを使用してシステムまたは電子機器を構築するユーザの要求に合わせて、パッケージとしては、フラットパッケージの代表であるQFPパッケージおよび、BGAパッケージに代表されるような、パッケージの裏面にアレイ状に半田ボールが接着された半田ボール面状配置型パッケージに封止される場合とがある。これらのQFPパッケージおよびBGAパッケージいずれも利用可能なように、JEDEC（ジョイント・エレクトロン・デバイス・エンジニアリング・カウンシル）において両パッケージに対するピン配置が提案されている。

【0025】

図14は、QFPパッケージにおける各ピン端子に対する信号の割当を示す図である。図14においては、32K・36ビットシンクロナス・バーストSRAMのピン配置を示す。図14において、ピン番号1から30のピン端子が配列される部分においては、データ入出力ビット DQ 、フォロースルーコントロール $FT\#$ （ $/FT$ ）、電源電圧 V_{ddq} 、 V_{ssq} 、 V_{dd} 、および V_{ss} が割当てられる。データビットを受けるピン端子の間に電源電圧を受けるピン端子が配置されているのは、これらのデータ入出力バッファ回路に安定に電源電圧を供給するためである。ピン番号14のピン端子には、フォロースルーコントロール $FT\#$ （ $/FT$ ）が与えられる。

【0026】

ピン番号31からピン番号50のピン端子においては、バーストカウンタのカウントシーケンスを設定するバーストモードコントロール $LBO\#$ （MODE）

とアドレス信号AD (SA, SA1, SA0) が割当てられる。

【0027】

ピン番号51からピン番号80のピン端子に対しては、データDQおよび電源電圧Vddq、Vssq、Vdd、およびVssが割当てられる。これらのピン番号51からピン番号80のピン端子に割当てられる信号の割当は、対向して配置されるピン番号1からピン番号30のピン端子に割当てられる信号と同じ態様である。ピン番号64のピン端子には、スヌーズモードコントロールZZが与えられる。このスヌーズモードコントロールZZは、内部回路動作をすべて停止させることにより、消費電流を大幅に低減する。図13に示すバーストSRAMの構成においては、各回路にスヌーズモードコントロールZZが与えられており、その出力信号レベルが固定される。

【0028】

ピン番号81からピン番号100のピン端子には、アドレス信号ADおよび各制御信号が割当てられる。信号SE1#、SE2およびSE3#は、チップセレクト/CSであり、信号SBWd#、SBWc#、SBWb#、SBWa#、SGW#、SBWE#は、ライトイネーブルコントロール/WEであり、信号G#は、出力イネーブル/OEに対応する。信号CKは、クロック信号CLKに対応する。

【0029】

信号SAC#は、アドレスステータスコントロール/ADSCに対応し、信号SAP#は、アドレスステータスプロセッサ/ADSPに対応し、信号SADV#は、アドレスアドバンスコントロール/ADVに対応する。

【0030】

パッケージの両側にデータ入出力ピンを配置し、アドレス信号ADおよび制御信号を、対向する辺に配置することにより、メモリアレイの構成を対称的とし、内部レイアウトを簡略することを図る。

【0031】

図15は、BGAパッケージにおける半田ボール（バンプ）への信号の割当を示す図である。図15において、このBGAパッケージにおいては、17行（A

行～U行)・7列に半田ボール(バンブ)が配置され、それぞれに信号が割当てられる。第1列には、データおよび電源電圧が割当てられ、第2列には、アドレスおよびデータが割当てられ、第3列には、制御信号および電源電圧およびアドレス信号ビットが割当てられ、第4列には、制御信号および電源電圧が割当てられ、第5列においても制御信号およびアドレス信号ビットが割当てられ、第6列において、データおよびアドレス信号が割当てられ、第7列においてデータビットおよび電源電圧が割当てられる。各信号の名称(符号)は図14に示すものと同じである。

【0032】

なお、図14および図15において符号NCは、「接続なし」を意味し、このピン端子にはボード実装時においても、配線接続が行なわれないことを示す。

【0033】

図15に示す割当において、第U行において、信号TMS、TDI、TCK、TDOおよびTRSTが割当てられている。これらは、バウンダリースキャンテスト回路において用いられる制御信号、テストクロック信号およびテストデータ信号である。以下、このバウンダリースキャンテストおよびこれらの信号/データがBGAパッケージにおいて割当てられている理由について説明する。

【0034】

図16は、バウンダリースキャン設計に従ってテスト設計されたチップにより構成されるボードの構成を概略的に示す図である。図16においては、ボード(プリント配線基板)150上に、複数(図16においては4つ)の半導体チップ152a、152b、152cおよび152dが配置される。これらのチップ152a～152dは、同じ論理機能を実現する半導体集積回路装置であってもよく、また半導体記憶装置などの同じ機能を実現する半導体集積回路であってもよい。チップ152(チップ152a～152dを総称的に示す)は、通常動作時において処理すべきまたは処理されたデータを入力または出力するための入出力端子154(端子154a～154dを総称的に示す)と、テストデータを伝達する機能を少なくとも有するバウンダリースキャンレジスタ(BSR)155(バウンダリースキャンレジスタ155a～155dを総称的に示す)と、所望の

論理動作を実行する内部論理 153（内部論理 153a～153d を総称的に示し、たとえば図 13 に示すシンクロナス・バースト SRAM がこれに対応する）を含む。

【0035】

バウンダリースキャンレジスタ 155 は、データ入出力端子（パッド）154 それぞれに対応して設けられる。すなわち、入出力バッファそれぞれに対応してバウンダリースキャンレジスタ 155 が設けられる。また、バウンダリースキャンレジスタ 155 は、1 つのチップにおいてシリアルなデータシフトパスを形成するように直列に接続される。各チップのバウンダリースキャンレジスタは、シフトパス 156 を介してシリアルに接続される。これにより、ボード 150 上において、チップ 152a～152d のバウンダリースキャンレジスタ 155 が 1 つのシリアルテストデータ転送経路を形成する。

【0036】

チップ 152a～152d のそれぞれの入出力端子 154a、154b、154c および 154d は、システム信号線 157 を介して相互接続される。このシステム信号線 157 上には、通常動作時において処理すべきまたは処理されたデータ信号が伝搬される。

【0037】

ボード 150 上には、さらにボード 150 のチップ 152 とボード 150 外部の装置（他のボード上のチップまたはテスト装置等）との間でデータの伝搬を行なうためのボード入出力端子領域（エッジコネクタ）158 が設けられる。このエッジコネクタ 158 には、ボードレベルでの通常動作時に処理データ SD を入出力するための入出力端子 158a、158b および 158c と、テストデータ TDI を受けるスキャンイン端子 159 と、テストデータ TDO を出力するためのスキャンアウト端子 160 を含む。スキャンイン端子 159 へ与えられるテストデータ TDI は、チップ 152a～152d のそれぞれにおいて形成されたバウンダリースキャンレジスタ 155 からなるスキャンパスを介してシリアルに伝搬される。このスキャンインされたテストデータ TDI は、バウンダリースキャンパスを介して順次伝搬されることにより、所望のバウンダリースキャンレジスタ

タ155に設定される。

【0038】

スキャンアウト端子160は、ボード150上のチップ152a～152dに形成されるバウンダリースキャンレジスタ155により形成されるスキャンパスを介して伝達されるテストデータTDOをシリアルに受ける。このテストデータTDOは、任意のバウンダリースキャンレジスタ155から読出すことができる。

【0039】

バウンダリースキャンレジスタ155は、各入出力端子154に対応して設けられており、与えられたテストデータをシフトするとともに、内部論理153からのデータのラッチまたは入出力端子154に与えられたデータをラッチする機能をも備える。

【0040】

このバウンダリースキャンレジスタ155のシフト動作を制御するためのクロック信号は、ボード150上のチップ152a～152dが動作するシステムクロックと別のテストクロック信号TCKにより与えられる。また、テストデータの伝搬経路が、システムデータ（メモリの書込／読出データおよび制御信号およびアドレス信号）の伝搬経路とは分離されているため、バウンダリースキャンレジスタ155は、内部論理153の動作に悪影響を及ぼすことなく内部論理153の処理データを取込むことができる。

【0041】

この図16に示すように、各チップにバウンダリースキャンレジスタを設け、チップ内のバウンダリースキャンレジスタを各チップ間を介して相互接続してデータ転送経路を形成することにより、ボード150のエッジコネクタ158から直接、ボード150上に設けられた特定のチップ152にアクセスすることができる。これにより、高価なインサーキットテストを用いることなくボード150上の所望のチップ152をテストすることができる。また、表面実装部品などテストプローブをチップ端子に接触させることが困難なチップの場合であっても、容易にテストを実行することができる。

【0042】

このようなバウンダリースキャンレジスタを用いるバウンダリースキャンテスト手法としては、内部テスト、外部テスト、およびサンプルモードがある。内部テストにおいては、バウンダリースキャンレジスタへスキャンパスを介して所望のデータをセットして、内部論理を動作させて、この内部論理が正常に動作しているか否かを判定する。外部テストは、チップ間の配線（ボード150上の配線であり、システム信号線157）をテストする。この外部テストの場合、チップ152の出力端子に接続されたバウンダリースキャンレジスタ155に対し、接続確認用のテストデータをシフトパス156を介して伝搬させて保持させる。この接続確認用テストデータが次いで、対応の出力端子へ与えられる。この出力端子へ与えられたテストデータは、他のチップの入力端子に接続されたバウンダリースキャンレジスタに取込まれる。このバウンダリースキャンレジスタに取込まれたデータがシフトパス156へ伝搬され、スキャンアウト端子160から出力される。この出力データTDOを観測することにより、チップ間のシステム信号線157の配線接続が正常であるか否かが確認される。この外部テストにより、チップ間配線の断線およびチップとボードとの間のはんだ付け不良などに起因するチップ間配線の開放および短絡のテストを行なうことができる。

【0043】

たとえば、図16において、チップ152a、152b、152cおよび152dにおいて、チップ152cのバウンダリースキャンレジスタ155cが出力端子に接続されるバウンダリースキャンレジスタであり、チップ152aのバウンダリースキャンレジスタ155aおよびチップ152dのバウンダリースキャンレジスタ155dが入力端子に接続されるバウンダリースキャンレジスタであるとする。この場合、バウンダリースキャンレジスタ155cに対応する出力端子からの信号は、システム信号線157を介してバウンダリースキャンレジスタ155aおよび155dに対応する入力端子へ与えられる。

【0044】

このバウンダリースキャンレジスタ155cとバウンダリースキャンレジスタ155aおよび155dとの間の接続をテストする動作について簡単に説明する

。まず、バウンダリースキャンレジスタ 155c に対し接続確認用のテストデータがシフトパス 156 を介して伝搬され、そこに保持される。このバウンダリースキャンレジスタ 155c に保持された接続確認用のテストデータが、次いで、チップ 152c の対応の出力端子を介してチップ 152a および 152d のバウンダリースキャンレジスタ 155a および 155d へそれぞれ伝達されてそこで保持される。

【0045】

このバウンダリースキャンレジスタ 155a および 155d に取込まれた接続確認用テストデータは、シフトパス 156 を介してスキャンアウト端子 160 から出力される。このスキャンアウト端子 160 から出力されたデータ TDO を観測することにより、チップ 152a および 152d とチップ 152c との間の信号線 157 の接続が確認される。この動作は、インタフェースがとられたチップ間の入出力端子に対して実行される。このテストにより、チップ間配線の断線およびチップとボードとの間のはんだ付け不良などに起因するチップ間配線の不良、すなわち開放および短絡のテストを実行することができる。

【0046】

上述のような、バウンダリースキャンテストについては、JTAG（ジョイント・テスト・アクション・グループ）により、標準規格が提案されている。

【0047】

BGA パッケージにおいては、図 12 に示すように、半田ボールがパッケージ底部に配列されており半田とプリント配線基板の配線との接合部が見えない。また、BGA パッケージは表面実装型パッケージであり、インサーキットテストのピン（プローブ）を当てることができない。QFP パッケージの場合、図 13（A）に示すように、表面実装型パッケージであっても、ピン端子がプリント配線基板表面に配置されるため、はんだ接合部を目視することができる。したがって、単にリード端子が半田にのっているだけであるという状態であり接合が形成されていない状態において電気的な特性テストを通過した場合においても、はんだ接合部の外観検査により、このような接合不良を見出すことができる。BGA パッケージの場合、その端子がパッケージの底面にあり、目視による接合部の外観

検査を行なうことができなくなるため、上述のようなスキャン設計法に従ったバウンダリースキャンテスト回路を半導体集積回路内に設ける。BGAパッケージのプリント配線基板上に実装後、このバウンダリースキャンテストを行なって、各配線の短絡／開放を検査し、実装後のメモリシステムの信頼性を確保することを図る。

【0048】

【発明が解決しようとする課題】

上述のように、シンクロナス・バーストSRAMにおいては、BGAパッケージへの封止時においては、バウンダリースキャンテストを実行可能状態とする必要があり、一方、QFPパッケージ封止時においては、バウンダリースキャンテストは必要とされない。同一機能を有するシンクロナス・バーストSRAMを、その封止パッケージのタイプに応じて内部構成を変更するのは、設計効率および製造効率を悪くする。そこで、封止されるパッケージの形式にかかわらず、バウンダリースキャンテスト回路を形成し、ボンディング工程時に、テスト回路用のパッドと対応のピン端子とをパッケージの形式に応じて選択的に接続する。これにより、同一機能を有するシンクロナス・バーストSRAMは、ボンディング工程のボンディングのみを変更することで、同一工程で同一機能を有する製品を形成することができ、生産効率および設計効率が改善される。

【0049】

図17は、従来のテスト回路内蔵シンクロナス・バーストSRAMの全体の構成を概略的に示す図である。図17において、このシンクロナス・バーストSRAMは、周辺に配置される入出力バッファ群160と、この入出力バッファ群160に含まれる入力バッファおよび出力バッファそれぞれに対応して設けられるバウンダリースキャンレジスタを含み、かつシリアル転送パスを形成するバウンダリースキャンレジスタ群165と、バウンダリースキャンテストを行なうための制御を行なうテスト制御回路167と、所定の機能を行なう内部回路169を含む。

【0050】

テスト制御回路167は、外部から入出力バッファ群を介して与えられるテス

トモードセレクト信号TMS、テストモードリセット信号TRST、およびテストクロック信号TCKに従って、バウンダリースキャンレジスタ群165にテスト入力データTDIを順次転送させて、テストモードセレクト信号TMSにより指定されたテストを行なう。バウンダリースキャンレジスタ群165に含まれるレジスタに保持されるテスト結果データTDOは、テスト制御回路167の制御の下に、順次このバウンダリースキャンレジスタ群165のシフト動作により出力される。内部回路169は、図13に示す回路構成を含む。

【0051】

バウンダリースキャンレジスタ群165およびテスト制御回路167で構成されるバウンダリースキャンテスト回路は、QFPパッケージへの封止時、ピン端子が割当てられないため、外部端子には結合されない。すなわち、信号TMS、TRST、およびTCKならびにデータTDIおよびTDOに対して設けられたパッドは、外部ピン端子には接続されない。したがって、QFPパッケージへの封止時には、未使用バウンダリースキャンテスト回路が、誤動作を生じさせないようにする必要があり、または余分の電流を消費しないようにする必要がある。

【0052】

また、パッケージの形式にかかわらずピン端子が割当てられているものの、ピン端子と内部の対応のパッドとのボンディングワイヤによる接続が選択的に行なわれるまたは、対応のピン端子の固定電位が異なる信号がある。ピン端子と対応のパッドとのボンディングを行なう工程時において選択的に接続するまたはパッド電位を選択的に設定することにより、内部で行なわれる動作モードを決定する。このようなパッドを、以下ボンディングオプションパッドと称す。

【0053】

図18は、ボンディングオプションパッドに関連する信号の一例を示す図である。図18において、3つの制御信号、フォロースルー信号／FT（FT#）、バーストモード信号MODE（LBO#）、およびスヌーズモード信号ZZを示す。フォロースルー信号／FT（FT#）の対応のパッドがHレベルまたはNC状態に設定されると、データの出力がクロック信号CLKに同期して行なわれる通常モード（パイプライン動作モード）が設定される。一方、このフォロースル

一信号／FT (FT#) がLレベルに固定されると、フォロースルーモード (ノンパイプライン) となり、出力レジスタのクロック同期動作が停止され、スタティックにデータの出力が行なわれる。ここで、NC状態は、パッドと対応のピン端子とのボンディングワイヤの接続が行なわれていない状態またはピン端子が配線に接続されていない状態を示す。

【0054】

バーストモード信号MODE (LBO#) は、対応のパッドがHレベルまたはNC状態に設定されると、インタリーブドバーストモードを指定し、一方パッドがLレベルに固定されるとリニアバーストモードを指定する。インタリーブドバーストモードにおいては、図13に示すバーストカウンタ106において、アドレス信号 (A1, A0) が、(A1, A0) → (A1, /A0) → (/A1, A0) → (/A1, /A0) の順でサイクリックに変化する。一方、リニアバーストモードにおいては、アドレスビット (A1, A0) が、(0, 0) → (0, 1) → (1, 0) → (1, 1) の順に、サイクリックに、最初に取り込まれたアドレスビットの値に応じて変化する。これらのフォロースルー信号／FT (FT#) およびバーストモード信号MODE (LBO#) は、パッケージ実装時またはボード実装時、そのパッド電位が固定され、通常の動作時においてその状態が変更されることはない。

【0055】

一方、スヌーズモード信号ZZについては、対応のパッドがLレベルまたはNC状態のときに通常動作モード状態が設定され、一方、対応のパッドがHレベルに設定されるとスヌーズモードが指定される。通常動作モード時においては、外部からのクロック信号CLKに従ってアクセスが行なわれる。一方、スヌーズモードが設定されると、外部からのクロック信号CLKの印加にかかわらず、入出力バッファは動作せず、内部回路の状態が変化しない。このスヌーズモードが設定されると、内部回路が動作せず、内部信号の電位レベルも変化しないため、極めて電源電流の少ない状態が設定される。このスヌーズモード信号ZZの場合、スヌーズモード動作可能なシンクロナス・バーストSRAMおよびスヌーズモード動作を行なうことのできないシンクロナス・バーストSRAMとに、このパッ

ドに対するボンディングの有無により設定される。

【0056】

一般に、複数の機能のうち必要な機能のみを備える半導体集積回路においては、これら複数の機能をすべて集積回路内にインプリメントし、ボンディング／ワイアリングの有無により、必要な機能のみを設定することにより、製造工程の簡略化および納期短縮および設計効率の改善などを図ることが行なわれる。このようなボンディングオプションパッドは、フローティング状態とされるか、または電源線／接地線にボンディングされている。この場合、フローティング状態（NC状態）とされても、内部信号状態を所定の電圧レベルに設定する必要がある。

【0057】

図19は、ボンディングオプションパッドの入力部の構成の一例を示す図である。図19において、パッドPDaに対して、ダイオードD1およびD2からなる入力保護回路と、このパッドPDa上の信号電位をバッファ処理するバッファ回路Bufaが設けられる。ダイオードD1は、パッドPDaにアノードが接続され、電源電圧VDDを受ける電源ノードにカソードが接続される。ダイオードD2は、カソードがパッドPDaに接続され、アノードが接地ノードに接続される。このパッドPDaに対し、さらに、プルアップ抵抗R1が設けられる。このプルアップ抵抗R1は、バッファBufaの入力部の電位を、電源電圧VDDレベルにプルアップする。

【0058】

パッドPDaは、対応のピン端子PTaに対しボンディングワイヤBWaにより選択的に接続される。このピン端子PTaに与えられる信号 ϕ_{ph} は、先の図18に示す例においては、バーストモード信号LBO#（MODE）またはフォロースルー信号FT#（/FT）である。ボンディングワイヤBWaが設けられないときまたはピン端子がNC状態のときには、バッファBufaの入力部の電位はプルアップ抵抗R1により、電源電圧VDDレベルに設定される。一方、ボンディングワイヤBWaによりパッドPDaとピン端子PTaとが接続されたとき、信号 ϕ_{ph} がHレベルであれば、このパッドPDaには電流は流れない。

【0059】

しかしながら、この信号 ϕ_{ph} が L レベルに設定された場合、プルアップ抵抗 R_1 からパッド PD_a 、ボンディングワイヤ BW_a を介してピン端子 PT_a の接地へと電流 i が流れる。信号 ϕ_{ph} は、バーストモード信号 $LB_0\#$ またはフォロースルー信号 $FT\#$ であり、H レベルまたは L レベルのいずれかに設定される。したがって、このプルアップ抵抗 R_1 が設定する論理と逆の論理レベルにピン端子 PT_a が設定された場合、プルアップ抵抗 R_1 から電流が流れ、消費電流が増大するという問題が生じる。特に、スタンバイ状態時には、このプルアップ抵抗 R_1 の抵抗値が十分大きい場合であっても、無視することができない大きさとなる。

【0060】

図 20 は、ボンディングオプションパッドに対する入力部の他の構成を示す図である。この図 20 においては、パッド PD_b に対し、ダイオード D_3 および D_4 からなる入力保護回路およびバッファ B_{ufb} が設けられる。ダイオード D_3 は、パッド PD_b から電源ノードへ順方向に接続され、一方、ダイオード D_4 はパッド PD_b から接地ノードへ逆方向に接続される。このバッファ B_{ufb} の入力部に、比較的大きな抵抗値を有するプルダウン抵抗 R_2 が設けられる。

【0061】

パッド PD_b は、対応のピン端子 PT_b に、ボンディングワイヤ BW_b を介して選択的に接続される。ピン端子 PT_b に与えられる信号 ϕ_{p1} は、たとえばスヌーズモード信号 ZZ である。ボンディングワイヤ BW_b が設けられず、ピン端子 PT_b とパッド PD_b とが切り離されているときまたはピン端子が NC 状態のときには、パッド PD_b の電位はプルダウン抵抗 R_2 により接地電圧レベルに保持される。一方、ボンディングワイヤ BW_b により、ピン端子 PT_b およびパッド PD_b が相互接続される場合、信号 ϕ_{p1} が L レベルにあれば、このパッド PD_b 、ボンディングワイヤ BW_b およびピン端子 PT_b には電流は流れない。一方、信号 ϕ_{p1} が H レベルに設定された場合、このピン端子 PT_b から、ボンディングワイヤ BW_b 、パッド PD_b およびプルダウン抵抗 R_2 を介して電流が流れる。この信号 ϕ_{p1} がスヌーズモード信号 ZZ の場合、ボンディングワイヤ BW_b によりパッド PD_b とピン端子 PT_b が接続されている場合には、この装置

は、スヌーズモード動作可能である。スヌーズモードが設定される場合には、スヌーズモード信号ZZがHレベルに設定される。したがって、スヌーズモード時において、このピン端子PTbからパッドPDbおよび抵抗R2を介して電流が流れ、低消費電流を実現するためのスヌーズモード時において電流が不必要に消費され、電流消費を低減することができなくなるという問題が生じる。

【0062】

上述の問題は、一般に、内部回路の機能を、パッドのボンディングの有無により設定する場合において問題となる。

【0063】

それゆえ、この発明の目的は、ボンディングオプションパッドに対して設けられた回路の消費電流を増加させることのない半導体集積回路を提供することである。

【0064】

この発明の他の目的は、ボンディングオプションパッドに対して設けられた入力回路が誤動作することのない半導体集積回路を提供することである。

【0065】

この発明のさらに他の目的は、封止されるパッケージに応じて選択的に利用されるバウンダリースキャンテスト回路を、不使用時（ピン非接続時）においても誤動作することのない半導体集積回路を提供することである。

【0066】

この発明の特定の目的は、不使用時（ピン端子非接続時）において誤動作することなくかつ消費電流が低減されるバウンダリースキャンテスト回路を内蔵する半導体集積回路を提供することである。

【0067】

この発明のさらに他の特定の目的は、低消費電流で誤動作することのないバウンダリースキャンテスト回路を内蔵するシンクロナス・バーストSRAMを提供することである。

【0068】

【課題を解決するための手段】

請求項 1 に係る半導体集積回路は、この半導体集積回路のプリント配線基板への実装状態をテストするためのバウンダリースキャンテスト回路と、この半導体集積回路が封止されるパッケージが表面実装型フラットパッケージであるか半田ボール面状配置型パッケージであるかに応じてその電位レベルが設定される第 1 のパッドと、この第 1 のパッドの電位に従ってバウンダリースキャンテスト回路を動作可能または動作不能状態に固定的に設定する制御手段とを備える。

【0069】

請求項 2 に係る半導体集積回路は、請求項 1 のバウンダリースキャンテスト回路が、第 2 のパッドに結合され、動作可能時、第 2 のパッドを介して外部からの信号に応じた内部信号を生成するバッファ回路を含む。制御手段は、この封止されるパッケージが半田ボール面状配置型パッケージのとき、バッファ回路を動作可能状態に設定し、一方、表面実装型フラットパッケージに封止されるとき、バッファ回路の出力信号電位を固定してバッファ回路を動作不能状態に設定する手段を含む。

【0070】

請求項 3 に係る半導体集積回路は、請求項 1 のバウンダリースキャンテスト回路が、第 2 のパッドに結合される第 1 の入力と、第 2 の入力とを有する第 1 の論理ゲートを含み、制御手段が、第 1 のパッドの電位に応じた電位の信号を発生する機能設定回路と、この機能設定回路の出力信号に従って第 1 の論理ゲートの第 2 の入力へ第 1 の論理ゲートを動作可能または動作不能状態のいずれかに設定する信号を与える第 2 の論理ゲートを含む。

【0071】

請求項 4 に係る半導体集積回路は、請求項 1 のバウンダリースキャンテスト回路が、第 2 のパッドに結合される第 1 の入力と、第 2 の入力とを有する第 1 の論理ゲートを含み、制御手段が、第 1 のパッドの電位に応じた電位の信号を発生する機能設定回路と、第 3 のパッドの電位に応じた論理の信号を発生するモード設定回路と、これらの機能設定回路およびモード設定回路の出力信号に論理処理を施して第 1 の論理ゲートの第 2 の入力へ処理結果の信号を与えて、第 1 の論理ゲートを動作可能または動作不能状態に設定する第 2 の論理ゲートを含む。

【0072】

請求項5に係る半導体集積回路は、請求項3または4の機能設定回路が、電源投入時、第1のパッドを第1の論理レベルに設定するための第1のトランジスタと、この第1のパッドの電位の論理レベルを反転して、機能設定回路の出力信号に対応する信号を出力するインバータ回路と、第1のパッドと第1の論理レベルの電位を与える電源との間に第1のトランジスタと並列に接続されかつインバータ回路の出力信号を制御電極ノードに受ける第2のトランジスタを含む。

【0073】

請求項6に係る半導体集積回路は、請求項4のモード設定回路が、電源投入時、第3のパッドを第1の論理レベルへ設定するための第1のトランジスタと、この第3のパッドの電位の論理レベルを反転してモード設定回路の出力信号に対応する信号を出力するインバータ回路と、第3のパッドと第1の論理レベルの電位を与える電源との間に第1のトランジスタと並列に接続されかつインバータ回路の出力信号を制御電極ノードに受ける第2のトランジスタとを含む。

【0074】

請求項7に係る半導体集積回路は、パッドと、電源投入検出信号に応答してこのパッドを第1の論理レベルの電圧レベルに設定する第1のトランジスタと、このパッドの電位の論理を反転するインバータと、第1のトランジスタと並列に設けられかつインバータの出力信号をこの制御電極ノードに受ける第2のトランジスタを備える。インバータの出力信号により、内部回路の動作モードが設定される。

【0075】

請求項8に係る半導体集積回路は、請求項7の半導体集積回路が、さらに、パッドとインバータの入力部の間に介挿されかつその制御電極ノードに固定電位を受けるトランスファゲートを備える。

【0076】

バウンダリースキャンテスト回路を、封止されるパッケージに応じて選択的に動作可能または動作不能状態に固定的に設定することにより、このパッドへボンディングワイヤが接続されない場合においても、このバウンダリースキャンテス

ト回路を動作不能状態に固定的に設定することにより、バウンダリースキャンテスト回路の誤動作を防止することができ、安定に動作する半導体集積回路を実現できる。

【0077】

また、パッド電位を、電源投入時所定電位レベルに設定し、このパッドの電位をインバータと第2のトランジスタとでラッチすることにより、パッド電位を固定的に設定することができ、低消費電流で安定にパッド電位を保持することができる。また、プルアップまたはプルダウン抵抗が用いられないため、このパッドがピン端子に接続される場合においても、ピン端子の電位にかかわらず、電流が流れる経路が遮断されるため、消費電流を低減することができる。

【0078】

【発明の実施の形態】

〔実施の形態1〕

図1は、この発明の実施の形態1に従う半導体集積回路の全体の構成を概略的に示す図である。図1において、この半導体集積回路1は、データの入出力をクロック信号CLKに同期して行なうメモリ内部回路2と、この半導体集積回路1のピン端子の電氣的接続のテストを行なうためのバウンダリースキャンテスト回路3と、このバウンダリースキャンテスト回路3を動作可能／不能状態に設定する制御回路4と、電源電圧VDDの投入を検出し、電源投入検出信号PORを出力する電源投入検出回路5を含む。

【0079】

バウンダリースキャンテスト回路3は、動作時、パッド6aに与えられる入力信号JTGに従ってテスト動作を実行する。制御回路4は、パッド6bの電位に従ってこのバウンダリースキャンテスト回路3を選択的に動作可能／不能状態に設定する。パッド6a～6cは、ボンディングオプションパッドであり、ボンディングワイヤが、その封止されるパッケージまたは、内部動作機能モードに従って選択的に接続される。ここで、ボンディングオプションパッドは、パッドとピン端子とのボンディングが選択的に行なわれるパッドおよび対応のピン端子へのワイヤリングが選択的に行なわれるパッドの両者を含み、電位がプログラマブル

なパッドを示す。

【0080】

メモリ内部回路2は、図13に示す構成と同様の構成を備え、クロック信号CLKに同期して外部信号（制御信号およびアドレス信号および書込データ）を取り込み、かつクロック信号CLKに同期してデータを出力する。またこのメモリ内部回路2は、バーストモードで動作可能であり、またフォロースルーモードに設定することもできる。

【0081】

バウンダリースキャンテスト回路3は、この半導体集積回路1の入出力バッファそれぞれに対応して設けられるスキャンレジスタを有するスキャンレジスタ群3aと、パッド6aに与えられる信号JTGをバッファ処理して内部信号を生成する入力回路3bと、入力回路3bから与えられる信号に従ってスキャンレジスタ群3aの動作を制御してバウンダリースキャンテストを行なうテスト制御回路3cを含む。スキャンレジスタ群3aは、この半導体集積回路1の入力／出力バッファ（入力バッファ、出力バッファ、および入出力バッファ）それぞれに対応して設けられるスキャンレジスタを含み、かつ信号（データ）をシリアルに転送するシリアルパスを形成するが、図1においては図面を簡略化するために、1つのブロックでこのスキャンレジスタ群3aを示す。

【0082】

制御回路4は、パッド6b上の電位に応答して、このバウンダリースキャンテスト回路3を動作可能または動作不能状態に設定するための機能設定回路4aと、パッド6c上の信号電位に応答してこのメモリ内部回路2の動作モードを設定するモード設定回路4bと、機能設定回路4aの出力信号/OBiとモード設定回路4bの出力信号ZZiとを受けてバウンダリースキャンテスト回路3の入力回路3bのイネーブル／ディスエーブル（動作可能／動作不能）を設定する制御回路4cを含む。モード設定回路4bは、パッド6c上の信号電位に従ってスヌーズモードまたは通常動作モードの一方を指定する。モード設定回路4bからのスヌーズモード指示信号ZZiを制御ゲート4cを与えて、バウンダリースキャンテスト回路3の動作可能／不能状態を設定しているのは、このバウンダリース

キャンテスト回路 3 が動作可能状態とされたとき、スヌーズモード時において入力回路 3 b を動作不能状態として、消費電流を低減するためである。

【0083】

パッド 6 a ~ 6 c は、それぞれ、対応のピン端子に接続されたときには、外部からの信号 J T G、O B および Z Z を受ける。パッド 6 a に与えられる信号 J T G は、J T A G バウンダリースキャンテスト規格において定められている信号であり、テストクロック信号 T C K、テスト入力データ T D I、テストモードセレクト信号 T M S、テストモードリセット信号 T R S T、およびテスト出力データ T D O を含む。各信号に対し、この図 1 に示す入力回路がそれぞれ設けられる。テスト入力データ T D I は、入力回路 3 b を介してテスト制御回路 3 c へ与えられ、テスト制御回路 3 c の制御の下に、テストクロック信号 T C L K に従ってスキャンレジスタ群 3 a へ与えられて順次転送される。

【0084】

この図 1 に示すように、バウンダリースキャンテスト回路 3 を、機能設定回路 4 a の出力信号に基づいて、動作可能／不能状態に設定し、動作不能状態においては入力回路 3 b の出力信号レベルを固定することにより、誤動作が生じることなく、また消費電流も低減される（電位固定のため、スイッチング動作は行なわれず、電流は消費されない）。また、このバウンダリースキャンテスト回路 3 が動作可能状態に設定されたとき、スヌーズモード指示信号 Z Z i に従って制御ゲート 4 c を介して入力回路 3 b の動作を停止させることにより、スヌーズモード時の消費電流を低減することができ、また通常動作モード時に、正確に、バウンダリースキャンテストを実行することができる。このように、バウンダリースキャンテスト回路の動作不能状態時の誤動作を防止しかつ消費電流を低減することができる。

【0085】

電源投入検出回路 5 は、電源投入時、この半導体集積回路の各内部ノードを所定電位レベルに初期設定するために、電源投入検出信号 P O R を出力する。次に、各部の構成について説明する。

【0086】

図2は、スキャンレジスタ群3aに含まれる1つのスキャンレジスタの構成を示す図である。図2において、メモリ内部回路2に含まれる入力／出力バッファ2aに対し1つのスキャンレジスタ3aaが設けられる。この入力／出力バッファ2aは、入力バッファ、出力バッファおよび入出力バッファのいずれかであり、入出力バッファの構成の場合、スキャンレジスタとしては、入力用レジスタおよび出力用レジスタの2つが設けられる。このスキャンレジスタ3aaは、信号（データ）のシリアル転送を可能にするために、シリアル転送パスを形成するように直列に図示しないスキャンレジスタと接続される。通常動作時には、スキャンレジスタ3aaは、スルー状態に設定され、入力／出力バッファ2aがスキャンレジスタ3aaを介して内部回路（図3参照）と信号／データの授受を行なう。

【0087】

このスキャンレジスタ3aaの具体的構成は任意であり、テストモード時には、シリアルに信号／データを転送することができ、通常動作モード時には、入力／出力バッファ回路と対応の内部回路との間で信号の転送を行なうスルー状態に設定される構成であればよい。

【0088】

図3は、図1に示す機能設定回路4aの構成を示す図である。図3において、機能設定回路4aは、パッド6bに印加される過大電圧が内部へ伝達されるのを防止するための入力保護回路4aaと、パッド6b上の信号電位を反転するインバータ4abと、インバータ4abの出力信号を反転するインバータ4acと、インバータ4abおよび4acの出力信号に従って、このインバータ4abの出力信号の電圧レベルを電源電圧VDDq（＝1.8V）から、内部電源電圧VDD（＝3.3V）レベルに変換するレベル変換回路4adと、電源投入検出信号PORの活性化時導通し、インバータ4abの入力ノード4aiを接地電位レベルに初期設定するnチャネルMOSトランジスタ4aeと、インバータ4abの出力信号がHレベルのとき導通し、インバータ4abの入力ノード4aiを接地電位レベルに放電するnチャネルMOSトランジスタ4afを含む。

【0089】

電源電圧 V_{DDq} は、入出力バッファ回路の一方動作電源電圧であり、電源電圧 V_{DD} は、シンクロナス・バースト SRAM の内部電源電圧である。このシンクロナス・バースト SRAM が用いられる処理システムにおいて、ボード上配線の信号電圧は、1.8 V レベルであり、高速で信号の伝搬を行なう。一方、内部電源電圧として、電源電圧 V_{DD} ($= 3.3 \text{ V}$) を用いることにより、高速でメモリ内部回路を動作させる。

【0090】

入力保護回路 4 a a は、パッド 6 b と電源電圧 V_{DD} を受けるノードとの間に接続されるダイオード $D a$ とパッド 6 b と接地ノードの間に接続されるダイオード $D b$ を含む。ダイオード $D a$ はパッド 6 b から電源ノードへ順方向に接続され、ダイオード $D b$ は、接地ノードからパッド 6 b に向かって順方向に接続される。ダイオード $D a$ は、パッド 6 b に与えられる電圧が、 $3.3 \text{ V} + V_f$ 以上となったときに導通し、一方ダイオード $D b$ は、このパッド 6 b の電圧が、 $-V_f$ となったときに導通する。ここで、 V_f は、ダイオード $D a$ および $D b$ の順方向降下電圧である。通常、このパッド 6 b が、外部ピン端子に接続される場合、1.8 V 程度の電圧が印加されるだけである。しかしながら、この入力保護回路 4 a a は、3.3 V 程度の電圧まで、その内部へ通過させることができる。したがって、高電圧印加時においても、この入力保護回路 4 a a は順方向にバイパスされないため、この入力ピン端子から電流が入力保護回路 4 a を介して流れ続けることはない。したがって、このパッド 6 b に、ノイズなどの影響により、大きな電圧が発生しても、そのパッド 6 b 上の電圧が 3.3 V 以下であれば、この入力保護回路 4 a a においては電流は流れず、消費電流は低減される。また、外部からモード固定時に H レベルの信号を与えるとき、3.3 V または 1.8 V の電圧を印加でき、電源 V_{DD} および V_{DDq} いずれをも利用することができ、ボード設計自由度が増大する。

【0091】

インバータ 4 a b は、電源電圧 V_{DDq} ($= 1.8 \text{ V}$) を受けるノードと出力ノードとの間に接続されかつそのゲートがパッド 6 b に結合される p チャネル MOS トランジスタ $PQ1$ と、パッド 6 b に結合される入力ノード 4 a i 上の信号

をゲートに受け、かつその一方導通ノードが接地ノードに接続されるnチャネルMOSトランジスタNQ2と、出力ノードとMOSトランジスタNQ2の間に接続されかつそのゲートに電源電圧VDDqを受けるnチャネルMOSトランジスタNQ1を含む。MOSトランジスタNQ1は、そのゲート電位が、電源電圧VDDq(=1.8V)であり、抵抗モードで動作し、このインバータ4abにおいて大きな電流が流れるのを制限する電流制限素子として機能する。

【0092】

インバータ4acは、電源電圧VDDqを受ける電源ノードと接地ノードの間に接続されるpチャネルMOSトランジスタPQ2およびnチャネルMOSトランジスタNQ3を含む。これらのMOSトランジスタPQ2およびNQ3のゲートが、インバータ4abの出力ノードに結合される。

【0093】

レベル変換回路4adは、ノード4ajと接地ノードの間に接続されかつそのゲートにインバータ4abの出力信号を受けるnチャネルMOSトランジスタNQ4と、ノード4akと接地ノードの間に接続されかつそのゲートにインバータ4acの出力信号を受けるnチャネルMOSトランジスタNQ5と、電源電圧VDDを受ける電源ノードとノード4ajの間に接続されかつそのゲートがノード4akに接続されるpチャネルMOSトランジスタPQ3と、電源電圧VDDを受けるノードとノード4akとの間に接続されかつそのゲートがノード4ajに接続されるpチャネルMOSトランジスタPQ4を含む。

【0094】

インバータ4abの出力信号がHレベルのとき、MOSトランジスタNQ4がオン状態、MOSトランジスタNQ5がオフ状態となり、ノード4ajが、MOSトランジスタNQ4を介して接地電位レベルへ放電される。このノード4ajの電位低下に応答して、pチャネルMOSトランジスタPQ4のコンダクタンスが大きくなり、ノード4akを電源電圧VDDレベルへ充電する。このノード4akの電位上昇に応じて、MOSトランジスタPQ3のコンダクタンスが小さくなり、このノード4ajの接地電位レベルへの降下およびノード4akの電源電圧VDDレベルへの上昇が高速で行なわれる。最終的に、ノード4akが、

電源電圧VDDレベル、ノード4 a jが接地電圧レベルとなる。このノード4 a kから、内部機能設定信号／OB iが生成される。

【0095】

一方、インバータ4 a bの出力信号がLレベルのときには、MOSトランジスタNQ4がオフ状態、MOSトランジスタNQ5がオン状態となり、ノード4 a kが接地電圧レベルのLレベル、ノード4 a jが電源電圧VDDレベルのHレベルとなる。したがって、このレベル変換回路4 a dは、インバータ4 a bの出力信号の電圧VDD qレベルのHレベルを、内部電源電圧VDD (= 3.3 V) レベルのHレベルに変換して、内部機能設定信号／OB iを生成する。

【0096】

これにより、電源電圧VDDを一方動作電源電圧として動作する内部回路を正確に動作させることができる（ここで、内部回路はメモリ内部回路、制御ゲート4 cを含む）。このレベル変換回路4 a dは、pチャネルMOSトランジスタPQ3およびPQ4で構成されるラッチ回路である。したがって、ノード4 a jおよび4 a kが、Hレベル（電源電圧VDDレベル）およびLレベル（接地電圧レベル）に到達した後は、MOSトランジスタPQ3およびPQ4によりこれらのノード4 a jおよび4 a kの電圧レベルはラッチされ、貫通電流が流れる経路が遮断され、消費電流が低減される。次に、この図3に示す機能設定回路4 aの動作について説明する。

【0097】

(i) BGAパッケージ封止時：

BGAパッケージに封止されるとき、このシンクロナス・バーストSRAMのバウンダリースキャンテスト回路は、動作可能状態に設定する必要がある、このバウンダリースキャンテストに関連する信号JTGを受けるパッド6 aは、対応のピン端子に接続される。この場合、パッド6 bは、その電位が、Hレベルとなるようにボンディングされる。このパッド6 bの信号OBがHレベルに設定されると（このHレベルは、電源電圧VDDまたはVDD qいずれであってもよい）、インバータ4 a bの出力位号がLレベルとなり、レベル変換回路4 a dから出力される内部機能設定信号／OB iはLレベルとなる。このインバータ4 a bか

らのLレベルの信号により、MOSトランジスタ4afは、オフ状態となる。MOSトランジスタ4aeは、電源投入検出信号PORに従って電源投入時において所定期間オン状態となるだけである。したがって、パッド6bが、Hレベルの電位レベルに固定されても、電源投入後MOSトランジスタ4aeを介してごく短い間電流が流れるだけである。電源投入検出信号PORがLレベルに立下がると、MOSトランジスタ4aeは、オフ状態となり、このパッド6bに対する電流経路は遮断され、電流消費は生じない。

【0098】

(ii) QFPパッケージ封止時：

QFPパッケージ封止時においては、図1に示すバウンダリースキャンテスト回路3は使用されない。また、入力回路3bに対して設けられたパッド6aは、外部ピン端子には接続されない。この場合、パッド6bも、ボンディングされず、NC状態とされるか、またはLレベルに固定されるようにボンディングされる。Lレベルに固定された場合、インバータ4abの出力信号がHレベルとなり、レベル変換回路4adからの内部機能設定信号/OBiも、電源電圧VDDレベルのHレベルとなる。このインバータ4abの出力信号がHレベルとなると、MOSトランジスタ4afがオン状態となり、そのインバータ4abの入力ノード4aiを接地電圧レベルに保持する。したがって、この状態においては、インバータ4abおよびMOSトランジスタ4afにより、ラッチ回路が構成され、パッド6b（入力ノード4ai）が確実に接地電圧レベルに保持され、また電流経路は存在しない。

【0099】

パッド6bが、NC状態であり、ピン端子に接続されない場合、電源投入時において、電源投入検出信号PORが所定期間Hレベルとなるため、MOSトランジスタ4aeにより、この入力ノード4aiが、接地電圧レベルに駆動される。この入力ノード4aiがLレベルに初期設定されると、インバータ4abの出力信号が電源電圧VDDqの電圧レベルの上昇に従ってレベルが上昇し、MOSトランジスタ4afがオン状態となり、入力の4aiを接地電位レベルに放電する。これにより、インバータ4abおよびMOSトランジスタ4afによりラッチ

回路が構成され、入力ノード4 a i およびパッド6 b は接地電圧レベルにされる。したがって、NC状態においても、電流が流れる経路は存在せず、消費電流は低減される。また、プルアップまたはプルダウン抵抗は何ら用いていないため、このような抵抗における貫通電流は生じず、電流消費は低減される。

【0100】

上述のように、この機能設定回路4 a からの機能設定信号/O B i が、B G A パッケージ封止時においては、Lレベルに設定され、一方Q F P パッケージ封止時においては、Hレベルに設定され、これらの論理レベルは異なる。これにより、封止されるパッケージの形式に応じて、バウンダリースキャンテスト回路を動作可能/不能状態にこのパッド6 b の電位に応じて設定することができる。

【0101】

なお、ボンディングパッド6 b が接続されるピン端子は、Hレベルに設定する場合電源ピン端子であればよく、またLレベルに設定される場合には、接地電圧を受けるピン端子であればよい。また、外部で、このパッド6 b がピン端子に接続される場合、この対応のピン端子を、外部で電源電圧レベルまたは接地電圧レベルに固定する構成が用いられてもよい。また、単にマスク配線により、このパッド6 b の電位が固定されてもよい。

【0102】

図4は、図1に示すモード設定回路4 b の構成の一例を示す図である。図4において、このモード設定回路4 b は、パッド6 c の過大電圧から内部回路を保護するための入力保護回路4 b a と、パッド6 c 上の信号Z Z の論理を反転するインバータ4 b b と、インバータ4 b b の出力信号を反転するインバータ4 b c と、インバータ4 b b および4 b c の出力信号に従って、インバータ4 b b の出力信号のレベルを変換するレベル変換回路4 b d と、電源投入検出信号P O R に応答してインバータ4 b b の入力ノード4 b i を接地電圧レベルに放電するnチャネルM O S トランジスタ4 b e と、インバータ4 b b の出力信号に応答してこのインバータ4 b b の入力ノード4 b i を接地電圧レベルに放電するnチャネルM O S トランジスタ4 b f を含む。

【0103】

インバータ 4 b b および 4 b c は、電源電圧 V_{DDq} ($= 1.8\text{ V}$) を一方動作電源電圧として動作し、入力保護回路 4 b a およびレベル変換回路 4 b d は、電源電圧 V_{DD} ($= 3.3\text{ V}$) を一方動作電源電圧として受ける。この図 4 に示すモード設定回路 4 b の構成は、図 3 に示す機能設定回路 4 a の構成と同じであり、パッドへ与えられる信号が異なるだけである。パッド 6 c へは、スヌーズモード信号 ZZ が与えられ、レベル変換回路 4 b d のノード 4 b k から内部スヌーズモード指示信号 $\neg ZZ_i$ が出力され、ノード 4 b j から、内部スヌーズモード指示信号 ZZ_i が出力される。図 4 に示すモード設定回路 4 b の動作自体は、図 3 に示す機能設定回路 4 a の動作と同じである。このモード設定回路 4 b は、シンクロナス・バースト SRAM がスヌーズモードに従って動作するか否かを設定するための回路である。スヌーズモードが用いられない場合、このパッド 6 c は、L レベルに固定されるかまたは NC 状態に設定される（対応のピン端子が NC 状態でもよい）。この状態においては、入力ノード 4 b i の電圧レベルは、L レベルとなり、内部スヌーズモード指示信号 ZZ_i は L レベルとなり、メモリ内部回路 2（図 1 参照）は、通常動作モードで動作する。

【0104】

一方、スヌーズモード動作可能とするためには、このパッド 6 c は、対応のピン端子に接続される。外部ピン端子へは、通常動作モード時には、L レベルのスヌーズモード指示信号 ZZ が与えられ、スヌーズモード時には、H レベルのスヌーズモード信号 ZZ が与えられる。この H レベルにスヌーズモード信号 ZZ が設定された場合、入力ノード 4 b i が H レベルとなり、内部スヌーズモード指示信号 ZZ_i が H レベルとなり、メモリ内部回路がスヌーズモードに設定され、動作を停止する。

【0105】

この図 4 示すモード設定回路は、図 3 に示す機能設定回路 4 a と構成は同じであり、同様、低消費電流で、安定に内部ノードを所定の電圧レベルに設定することができる。

【0106】

なお、このパッド 6 c は、常に対応のピン端子（ ZZ ピン）に接続され、この

ピン端子がNC状態、Lレベル固定状態またはH/L状態に設定されてもよい。これは、外部に、このスヌーズモード用のピン端子がQFPパッケージおよびBGAパッケージいずれにおいても割当てられているためである。この点が、図3に示す機能設定回路4aと異なる。信号/OBについてはピン端子が割当てられなくてもよい。

【0107】

図5は、図1に示す電源投入検出回路5の構成の一例を示す図である。図5において、電源投入検出回路5は、電源電圧VDDを受ける電源ノードとノードNAの間に接続されかつそのゲートがノードNAに接続されるpチャネルMOSトランジスタ5aと、ノードNAと接地ノードの間に接続されるキャパシタ5bと、ノードNAと接地ノードの間に接続される高抵抗の抵抗5cと、ノードNAの電位の論理を反転してノードNBへ伝達するインバータ5eと、インバータ5eの出力信号を反転してインバータ5eの入力へ伝達するインバータ5dと、電源電圧VDDを受けるノードとノードNBの間に接続されるキャパシタ5fと、ノードNBの信号を反転して補の電源投入検出信号/PORを生成するインバータ5gと、インバータの出力信号を反転して電源投入検出信号PORを生成するインバータ5gを含む。インバータ5dおよび5eはラッチ回路を構成する。インバータ5dの電流駆動力は小さくされる。次に、この図5に示す電源投入検出回路5の動作を図6に示す信号波形図を参照して説明する。

【0108】

電源投入前は、ノードNAおよびNBは、接地電圧レベルであり、またインバータ5gおよび5hの出力信号はLレベルである。電源が投入されると、電源電圧VDDの電圧レベルが上昇する。MOSトランジスタ5aは、ダイオード接続されており、ノードNAへ電流を供給する。ノードNAには、キャパシタ5bおよび抵抗5cが接続されており、ノードNAの電圧レベルが緩やかに上昇する。このノードNAの充電は、電源電圧VDDがMOSトランジスタ5aのしきい値電圧の絶対値以上高くなってから開始される。一方、ノードNBは、キャパシタ5fにより電源ノードに結合されており、電源電圧VDDの上昇に従ってノードNBは、キャパシタ5fの容量結合によりその電圧レベルが上昇する。これによ

り、ノードNBがHレベル、ノードNAがLレベルに、インバータ5eおよび5dによりラッチされる。したがってノードNBがHレベルにラッチされるため、インバータ5hから出力される電源投入検出信号PORは、電源電圧VDDの上昇に従ってその電圧レベルが上昇する。

【0109】

一方、ノードNAは、MOSトランジスタ5aにより充電され、キャパシタ5bの充電電位が、インバータ5eの入力論理しきい値よりも高くなると（トラック5aの電流駆動力はインバータ5dのそれより大きい）、インバータ5eにより、ノードNBの電圧レベルがLレベルへ駆動され、応じて、インバータ5hから出力される電源投入検出信号PORがHレベルへ駆動される。この状態においては、ノードNAは、インバータ5eおよび5dにより、Hレベルにラッチされ、キャパシタ5bおよび抵抗5cにより決定される時定数に従ってその電圧レベルが上昇する。

【0110】

したがって、この電源投入検出信号PORは、電源投入時、電源電圧VDDがある一定の電圧レベルを超えるまでは、Hレベルを維持する。したがって、図3および図4に示すMOSトランジスタ4aeおよび4bbは、その電源投入検出信号PORが、MOSトランジスタ4aeおよび4beのしきい値電圧よりも高い期間オン状態となり、それぞれの対応のノード4aiおよび4biを、接地電位レベルに放電する。これにより、各内部ノードを正確に所定の電圧レベルに初期設定することができる。

【0111】

図7は、図1に示すバウンダリースキャンテスト回路3に含まれる入力回路3bの構成の一例を示す図である。

【0112】

図7において、制御ゲート4cは、内部スヌーズモード指示信号ZZiと、補の内部機能設定信号/OBiを受ける2入力NOR回路4caを含む。補の内部機能設定信号/OBiは、図3に示す回路から出力され、内部スヌーズモード指示信号ZZiは、図4に示すモード設定回路から出力される。

【0113】

入力回路 3 b は、パッド 6 a に過大電圧が印加されるとき内部回路を保護するための入力保護回路 3 b a と、パッド 6 a 上の信号 J T G と制御ゲート 4 c の出力信号を受ける 2 入力 N A N D 回路 3 b b と、N A N D 回路 3 b b の出力信号を反転するインバータ 3 b c と、N A N D 回路 3 b b の出力信号とインバータ 3 b c の出力信号に従って、このインバータ 3 b b の出力信号の電圧レベルを変換するレベル変換回路 3 b d を含む。

【0114】

入力保護回路 3 b a は、パッド 6 a と電源ノードの間に接続されるダイオードおよびパッド 6 a と接地ノードの間に接続されるダイオードを含む。この入力保護回路 3 b a の構成は図 3 および図 4 に示す入力保護回路の構成と同じである。この入力保護回路へは、電源電圧 V D D が与えられる。

【0115】

2 入力 N A N D 回路 3 b b は、電源電圧 V D D q を受ける電源ノードと出力ノード 3 b b i の間に接続されかつそのゲートがパッド 6 a に結合される p チャネル M O S トランジスタ P Q 5 と、出力ノード 3 b b i と接地ノードの間に直列に接続される n チャネル M O S トランジスタ N Q 6 および N Q 7 と、電源電圧 V D D q を受ける電源ノードと出力ノードの間に接続されかつそのゲートに、制御ゲート 4 c の出力信号を受ける p チャネル M O S トランジスタ P Q 6 を含む。M O S トランジスタ N Q 6 はそのゲートに制御ゲート 4 c の出力信号を受け、M O S トランジスタ N Q 7 は、そのゲートがパッド 6 a に結合される。

【0116】

インバータ 3 b c は、p チャネル M O S トランジスタと n チャネル M O S トランジスタで構成される C M O S インバータの構成を備える。このインバータ 3 b c は電源電圧 V D D q を一方動作電源電圧として動作する。

【0117】

レベル変換回路 3 b d は、この N A N D 回路 3 b b からの電圧 V D D q レベルの信号を、電圧 V D D (= 3.3 V) レベルの信号に変換して補の内部入力信号 / J T G i を出力する。ノード 3 b j からは、このパッド 6 a 上の信号と論理の

同じ内部信号 JTG_i が出力される。これらの信号 JTG_i および $\neg JTG_i$ は、図 1 に示すバウンダリースキャンテスト制御回路 3c へ与えられる。このレベル変換回路 3bd の構成および動作は図 3 および図 4 に示すレベル変換回路 4ad および 4bd のそれらと同じである。次に動作について説明する。

【0118】

(i) BGA パッケージ封止時：

BGA パッケージ封止時においては、パッド 6a は対応のピン端子に接続される。BGA パッケージ封止時、機能設定信号 $\neg OBi$ は、L レベルに設定される（ボンディングオプション）。この状態においては、制御ゲート 4c に含まれる NOR 回路 4ca の出力信号は内部スヌーズモード指示信号 ZZ_i に応じた信号を出力する。内部スヌーズモード指示信号 ZZ_i が L レベルのときには、NOR 回路 4ca の出力は、H レベルとなり、MOS トランジスタ NQ_6 がオン状態、MOS トランジスタ PQ_6 がオフ状態となる。したがって、パッド 6a を介して与えられる信号 JTG に従って、内部信号 JTG_i および $\neg JTG_i$ が生成されて、バウンダリースキャンテストを行なうことができる。

【0119】

一方、内部スヌーズモード指示信号 ZZ_i が H レベルに設定されると、この制御ゲート 4c に含まれる NOR 回路 4ca の出力信号が L レベルとなり、MOS トランジスタ NQ_6 がオフ状態、MOS トランジスタ PQ_6 がオン状態となる。この状態においては、パッド 6a の信号 JTG の状態にかかわらず、NAND 回路 3bb の出力信号は、H レベルに固定される。応じて、内部信号 JTG_i が L レベル、内部信号 $\neg JTG_i$ が H レベルに固定される。内部スヌーズモード指示信号 ZZ_i が H レベルのときには、スヌーズモードが指定され、内部回路はすべての動作が停止される。

【0120】

BGA パッケージ封止時においては、パッド 6a が、外部ピン端子に接続されており、この信号 JTG は、H レベルまたは L レベルとなる。したがって、このパッド 6a（またはピン端子）上の信号電位にかかわらず、内部のノード 3bbi の電圧レベルを H レベルに固定することにより、この NAND 回路 3bb の出

力信号を受けて動作する回路部分の動作を停止させることができる（スイッチング動作を停止させることができる）。これにより、内部回路の消費電流をすべて低減することができる。また、このNAND回路3 b bにおいてMOSトランジスタN Q 6をオフ状態とすることにより、NAND回路3 b bの貫通電流が流れる経路を遮断することができ、消費電流を低減することができる。

【0121】

(i i) QFPパッケージ封止時：

QFPパッケージ封止時においては、パッド6 aは、ピン端子が設けられていないため、フローティング状態となる。このQFPパッケージ封止時においては、内部機能設定信号／OB iがHレベルに固定される（図3参照）。したがって、制御ゲート4 cからの出力信号がLレベルに固定され、MOSトランジスタN Q 6がオフ状態、MOSトランジスタP Q 6がオン状態となり、NAND回路3 b bの出力ノード3 b b iは、電源電圧VDD qの電圧レベルに固定される。この状態においては、NAND回路3 b bは、パッド6 aの信号電位にかかわらず、その出力信号の電位レベルが固定されて動作不能状態に設定される。レベル変換回路3 b bより後段のテスト制御回路においても、与えられる信号の電位レベルが固定されるため、内部回路は、動作せず、非活性状態（スヌーズモード時と同じ状態）に設定される。

【0122】

このパッド6 aがフローティング状態とされても、機能設定信号／OB iがこの入力回路3 bを動作不能（2入力NAND回路3 b bの出力信号の電位が固定）状態に設定することにより、確実に誤動作を防止することができる。また、このパッド6 aがフローティング状態とされるときに、NAND回路3 b bの電源ノードから接地ノードへ流れる電流経路を遮断することにより、消費電流を低減することができる。

【0123】

また、内部スヌーズモード指示信号ZZ iと内部機能設定信号／OB iの論理をとってこの入力回路3 bの動作可能／不能状態を制御することにより、パッド6 aが、外部ピン端子に接続される場合（BGAパッケージ封止時）、確実に、

スヌーズモード時においてこの入力回路 3 b における消費電流を低減することができる。

【0124】

以上のように、この発明の実施の形態 1 に従えば、封止されるパッケージに応じて、ピン端子との接続の有無が決定される回路において、特定のパッドの電位に応じて、このバウンダリースキャンテスト回路を選択的に動作可能状態または動作不能状態に設定しているため、正確に、このバウンダリースキャンテスト回路の不使用时の誤動作を防止することができる。

【0125】

また、2入力NAND回路を、テスト回路の入力部に用い、この回路の不使用时において入力回路の電流経路を遮断し、かつその出力信号電位レベルを固定することにより、確実に消費電流を低減することができる。また、スヌーズモード指示信号と機能設定信号とを組合せて、この入力回路の動作可能／不能状態を設定することにより、テスト回路のパッドがピン端子に接続される場合において、スヌーズモードが使用される場合においても、確実に消費電流を低減することができる。

【0126】

なお、上述の構成において、内部スヌーズモード指示信号、および内部機能設定信号／OB_iが活性化される論理レベルと内部回路の動作可能／不能状態の対応関係は、一例であり、別の論理関係が用いられてもよい。

【0127】

〔実施の形態 2〕

図 8 は、この発明の実施の形態 2 の半導体集積回路の全体の構成を概略的に示す図である。図 8 において、シンクロナス・バーストSRAMの構成が示される。図 8 において、このシンクロナス・バーストSRAMは、メモリ内部回路 2 と、パッド 11 a の信号FTの電位に応じて、メモリ内部回路 2 のフォロースルーモードを設定するフォロースルーモード設定回路 10 a と、パッド 11 b 上の信号LBOの信号電位に应答して、メモリ内部回路 2 のバーストモードを設定するバーストモード設定回路 10 b を含む。メモリ内部回路 2 は、図 13 に示す構成

を有する。フォロースルーモード設定回路 10 a の出力信号は、メモリ内部回路 2 に含まれる出力レジスタへ与えられ、出力レジスタをパイプラインまたはノンパイプラインモードにそのパッド 11 a 上の信号 FT の電位に応じて設定する。

【0128】

バーストモード設定回路 10 b は、メモリ内部回路 2 に含まれるバーストアドレスカウンタへその出力信号を与える。このバーストモード設定回路 10 b は、パッド 11 b 上の信号 LBO の電位に応じて、バーストモードをインタリーブドバーストモードまたはリニアバーストモードのいずれかに設定する。パッド 11 a および 11 b は、ボンディングオプションパッドであり、その電位レベルが、設定される動作モードに応じて決定される。すなわち、パッド 11 a および 11 b は、H レベル、L レベルまたは NC 状態のいずれかに設定される。フォロースルーモード設定回路 10 a およびバーストモード設定回路 10 b は、プルアップまたはプルダウン抵抗を含まない。これにより、フォロースルーモード設定回路 10 a およびバーストモード設定回路 10 b が、その NC 状態時の出力論理と異なる論理状態にパッド 11 a および 11 b が設定された場合（ボンディングが行なわれた場合）、プルアップおよびプルダウン抵抗における貫通電流が流れる経路を遮断し、消費電流を低減する。

【0129】

図 9 は、図 8 に示すフォロースルーモード設定回路 10 a およびバーストモード設定回路 10 b の構成の一例を示す図である。フォロースルーモード設定回路 10 a およびバーストモード設定回路 10 b は、同一構成を有するため、これらを動作モード設定回路 20 として示す。

【0130】

図 9 において、動作モード設定回路 20 は、パッド 11 への過大電圧を吸収するための入力保護回路 20 a と、電源電圧 VDD q をゲートに受け、パッド 11 から内部入力ノード 20 i へ電源電圧 VDD q より低い電圧を通過させる n チャネル MOS トランジスタ 20 f と、内部入力ノード 20 i 上の信号を反転するインバータ 20 b と、インバータ 20 b の出力信号を反転するインバータ 20 c と、インバータ 20 b および 20 c の出力信号に従って、インバータ 20 b の出力

信号の電圧レベルを変換するレベル変換回路 20 d を含む。インバータ 20 b および 20 c は、電源電圧 V_{DDq} を一方動作電源電圧として動作し、レベル変換回路 20 d は、電源電圧 V_{DD} ($= 3.3V$) を一方動作電源電圧として動作する。したがって、このレベル変換回路 20 d は、電源電圧 V_{DDq} の振幅を有する信号を、電源電圧 V_{DD} の振幅を有する信号に変換する。これらのインバータ 20 b および 20 c ならびにレベル変換回路 20 d の構成は、先の図 3 および図 4 において示したものと同一である。

【0131】

この動作モード設定回路 20 は、さらに、インバータ 20 b の出力信号に応答して内部入力ノード 20 i へ電源電圧 V_{DDq} を伝達する p チャンネル MOS トランジスタ 20 e と、電源投入検出信号 / POR に応答して、内部入力ノード 20 i へ電源電圧 V_{DDq} を伝達する p チャンネル MOS トランジスタ 20 g を含む。電源投入検出信号 / POR は、図 6 に示す電源投入検出信号 POR の相補な信号であり、電源電圧 V_{DDq} が所定電圧レベル以上となると、H レベルに立上がる。次に動作について説明する。

【0132】

(i) パッド 11 が、H レベル固定のとき：

このパッド 11 が、H レベルに固定されたとき、MOS トランジスタ 20 f を介して内部入力ノード 20 i は、H レベルに設定され、インバータ 20 b の出力信号が L レベルとなり、MOS トランジスタ 20 e がオン状態となり、内部入力ノード 20 i の H レベルは、インバータ 20 b および MOS トランジスタ 20 e によりラッチされる。このインバータ 20 b の出力信号が L レベルであるため、レベル変換回路 20 d からの内部信号 ϕMi が電源電圧 V_{DD} レベルの H レベルとなり、補の内部動作モード指示信号 / ϕMi が、接地電圧レベルの L レベルとなる。パッド 11 上の信号 ϕM は、フォロースルーモード信号 FT または、バーストモードコントロール信号 LBO である。信号 FT が H レベルに設定された場合には、パイプライン動作が行なわれ、クロック信号に同期してデータの出力が行なわれる。一方、バーストモードコントロール信号 LBO の場合、バーストアドレスは、インタリーブドバーストモードで規定されるシーケンスに従って変更

される。

【0133】

このHレベルにパッド11が設定された場合、インバータ20bにおいては、電流が流れる経路は存在しない（安定状態時）。また、MOSトランジスタ20gは、電源投入時においてのみオン状態となり、電源電圧VDDqの安定化の後、オフ状態を維持し、電流経路は存在しない。このパッド11上の信号 ϕM の電圧レベルが、たとえば電源電圧VDDレベルに設定された場合においても、デカップリング用MOSトランジスタ20fにより、内部入力ノード20iには、電源電圧VDDq - V_{th} の電圧レベルの信号しか伝達されない。ここで、 V_{th} は、MOSトランジスタ20fのしきい値電圧である。したがって、パッド11が、この電源電圧VDDqよりも電圧レベルが高い場合、MOSトランジスタ20fは、その内部入力ノード20iがソースとして動作するため、このMOSトランジスタ20fはソースおよびゲートが同じ電圧レベルとなり、オフ状態を維持し、電流経路は遮断される。したがって、この状態においては、電流の流れる経路は存在せず、消費電流は低減される。

【0134】

(ii) パッド11が、Lレベルに設定されたとき：

このパッド11が、接地電圧レベルのLレベルに設定されたとき、内部入力ノード20aは、Lレベルに設定される。インバータ20bの出力信号がHレベルとなり、レベル変換回路20dからの内部動作モード指示信号 ϕMi が、同様Lレベルとなり、一方、補の内部動作モード指示信号/ ϕMi が、Hレベルとなる。この場合、MOSトランジスタ20eは、オフ状態であり、内部入力ノード20iがLレベルに設定された後には、このパッド11を介して外部端子へ電源ノードから電流が流れる経路は存在しない。

【0135】

CMOSインバータ20cおよびレベル変換回路20dは、その安定状態時においては、CMOS回路特有の特徴を発揮し、MOSトランジスタがすべてオフ状態となるため、電流は流れない。

【0136】

このパッド11がLレベルに設定される場合、フォロースルーモード信号FTの場合には、メモリ内部回路でフォロースルー動作が行なわれ、またパイプライン的に出力データが読出される。一方、バーストモードコントロール信号LBOの場合、バーストアドレスはリニアバーストモードに従って更新される。

【0137】

(iii) パッド11がフローティング状態のとき：

この電源投入検出信号/PORは、図10に示すように、電源電圧VDDが投入されてから、この電源電圧VDDが所定電圧レベルに到達するまで、Lレベルを維持する（図5の回路参照）。したがって、この期間、MOSトランジスタ20gがオン状態となり、ノード20iは、MOSトランジスタ20gを介して充電され、電源電圧VDDqの電圧レベルの上昇に応じて上昇する。この状態においては、インバータ20bの入力論理しきい値レベルを内部入力ノード20iの電圧レベルが超えていないため、電源電圧レベルの上昇とともにインバータ20bの出力信号電位も上昇する。

【0138】

ノード20iの電圧レベルが、このインバータ20bの入力論理しきい値を超えると、インバータ20bの出力信号がLレベルへ立上がり、MOSトランジスタ20eがオン状態となり、内部入力ノード20iは、このMOSトランジスタ20eを介して充電される。したがって、電源投入検出信号/PORがHレベルに立上がり、MOSトランジスタ20gがオフ状態となっても、この内部入力ノード20iは、インバータ20bおよびMOSトランジスタ20eによりHレベルにラッチされる。特に、電源電圧VDDは、このインバータ20bの電源電圧VDDqよりも高い電圧レベルであり、内部入力ノード20iの充電レベルが、電源電圧VDDの所定電圧レベル程度に設定されていれば、確実に、このインバータ20bの出力信号をHレベルへ駆動して、MOSトランジスタ20eおよびインバータ20bによるラッチ回路により、内部入力ノード20iを、電源電圧VDDqの電圧レベルに保持することができる。

【0139】

したがって、このパッド11が、NC状態であり、フローティング状態に設定

されている場合においても、確実にこの内部入力ノード 20 i は H レベルに設定される。この内部入力ノード 20 i が、電源電圧 V_{DDq} の H レベルに設定された後は、MOS トランジスタ 20 e がオフ状態を維持するため、電流が流れる経路は存在せず、消費電流は低減される。

【0140】

この場合、先の、H レベルに、パッド 11 を固定的に設定した場合と同じ状態が実現される。

【0141】

この図 9 に示す回路構成においては、信号 ϕM を、H レベルから L レベルに変化させるとき、この信号 ϕM が H レベルのとき MOS トランジスタ 20 e がオン状態にあるため、この入力信号 ϕM が H レベルから L レベルに変化する直後のみ、MOS トランジスタ 20 e から MOS トランジスタ 20 f およびパッド 11 を介して電流が流れる。しかしながら、インバータ 20 b が動作し、この MOS トランジスタ 20 e の電圧レベルが H レベル（電圧 V_{DDq} のレベル）となると、MOS トランジスタ 20 e は、オフ状態となり、定常的な貫通電流が流れる経路は遮断される。したがって、この図 9 に示す動作モード設定回路 20 の構成においては、パッド 11 の電圧レベルが固定的に設定される場合のみならず、電圧レベルを外部装置の制御の下に切換える場合においても、低消費電流を実現することができる。

【0142】

また、MOS トランジスタ 20 f を用いた場合、パッド 11 へは、3.3 V 程度の電圧を印加しても、入力保護回路 20 a には電流は流れない。また、MOS トランジスタ 20 f により、内部入力ノード 20 i へは、電源電圧 V_{DDq} の電圧レベルの電圧しか伝達されない。MOS トランジスタ 20 f が設けられていない場合、電源電圧 V_{DD} レベルに信号 ϕM が設定された場合、MOS トランジスタ 20 e がオン状態となり、外部ピン端子からパッド 11 および MOS トランジスタ 20 e を介して電源 V_{DDq} へ電流が流れる。

【0143】

したがって、この MOS トランジスタ 20 f を設けることにより、この MOS

トランジスタ 20f をデカップリングトランジスタとして動作させることができ、パッド 11 の電圧レベルを、1.8V または 3.3V の電圧レベルに設定することができる。すなわち、外部ピン端子に接続される場合、この信号 ϕM のレベルは、電源電圧 VDD または電源電圧 VDD_q の電圧レベルのいずれにも設定することができる。したがって、ボード上配線において、電源配線レイアウトが複雑化する場合において、最も利用のしやすい電源電圧を利用することができ、ボード設計の自由度を高くすることができる。

【0144】

これは、用いられるシステムにおいて、シンクロナス・バースト SRAM のバーストモードが固定的に設定され、また通常、フォロースルーモードは、パイプライン動作を設定する状態に設定されることが多いためである。

【0145】

以上のように、この発明の実施の形態 2 に従えば、パッド電位により内部動作モードが設定される構成において、インバータと MOS トランジスタからなるラッチ回路で H レベルに内部入力ノードを設定しかつこの内部入力ノードとパッドとの間にデカップリングトランジスタを設けているため、パッドの状態にかかわらず、電流が流れる経路を遮断することができ、消費電流を低減することができる。また、このデカップリングトランジスタを設けることにより、パッド 11 の電圧レベルは、電源電圧 VDD および VDD_q のいずれにも設定することができ、ボード上の電源配線レイアウトに応じてこの接続を決定することができ、ボード設計の自由度を高くすることができる。

【0146】

なお、図 9 に示す構成においては、内部スヌーズモード指示信号は用いられていない。システム実装時において、この半導体集積回路（シンクロナス・バースト SRAM）が用いられる場合、実使用時パッド 11 の電圧レベルは固定されていることが多く、その状態においては、このバーストモード設定回路においては、貫通電流が流れる経路は存在せず、特に遮断する必要はないためである。

【0147】

なお、上述の説明において、パッド 11 が、フローティング状態とされるとき

て説明している。しかしながら、パッド11が、対応の外部ピン端子にボンディングされ、この外部ピン端子が、NC状態に設定されてもよい。

【0148】

特に、シンクロナス・バーストSRAMの場合、フォロースルーモードコントロール信号FT#およびバーストモードコントロール信号LBO#がQFPパッケージおよびBGAパッケージいずれにおいても割当てられており、NC状態は、外部ピン端子が通常フローティング状態とされる状態に対応する。

【0149】

〔他の適用例〕

上述の説明においては、半導体集積回路として、シンクロナス・バーストSRAMが示されている。しかしながら、QFPパッケージおよびBGAパッケージのいずれかに封止される半導体集積回路であれば、上記実施の形態1と同様の効果を得ることができる。BGAアレイに封止される場合、バウンダリースキャンテスト回路が必要となる。この場合、スヌーズモードのような内部回路動作を停止させるパワーダウンモードが設けられていない場合には、論理ゲートは単に機能設定回路の出力信号のみによりその動作態様（入力回路）の状態が決定される。したがって、この場合には、テスト入力回路は、図4または図9に示す動作モード設定回路と同様の構成となる。

【0150】

また、動作モード設定信号は、上述のようなフォロースルーモードおよびバーストモードのみならず、他の動作モードであってもよく、単にボンディングオプションパッドの電位において内部動作モードが設定される構成であれば上記実施の形態2または実施の形態1は適用可能である。

【0151】

また、上述の説明においては、BGAパッケージが示されている。しかしながら、この半田ボール（バンプ）が、2次元アレイ状に配置される形式であればよい。

【0152】

【発明の効果】

以上のように、この発明に従えば、用いられるパッケージおよび動作モードにかかわらず、安定かつ低消費電流で動作する半導体集積回路を実現することができる。

【0153】

すなわち、請求項1に係る発明に従えば、半導体集積回路が封止されるパッケージのタイプに応じて、その電位レベルが設定される第1のパッドの電位に従えばバウンダリースキャンテスト回路を動作可能または動作不能状態に固定的に設定しているため、このバウンダリースキャンテスト回路不要時においてバウンダリースキャンテスト回路が誤動作するのを防止することができ、封止されるパッケージの形式にかかわらず、安定に動作する半導体集積回路を実現することができる。

【0154】

請求項2に係る発明に従えば、このバウンダリースキャンテスト回路の入力バッファ回路を、パッケージの形式に応じて動作可能または動作不能状態に設定しているため、確実に、封止されるパッケージの形式に応じて、そのバウンダリースキャンテスト回路を動作可能／不能状態に設定することができる。またバウンダリースキャンテスト回路の初段のバッファ回路の出力電位を制御するように構成しているため、このバウンダリースキャンテスト回路が動作不能状態と設定される場合、初段の入力バッファ回路の電位レベルが固定されるため、バウンダリースキャンテスト回路の消費電流が低減される。

【0155】

請求項3に係る発明に従えば、第1のパッドの電位に応じた電位の信号を発生する機能設定回路からの出力信号に応じた信号と第2のパッド上の信号とに従ってバウンダリースキャンテスト回路の入力初段バッファ回路に含まれる2入力論理ゲートの動作を制御しているため、確実に、このバウンダリースキャンテスト回路を、動作可能／不能状態に設定することができる。

【0156】

請求項4に係る発明に従えば、モード設定回路からのモード設定信号と第1のパッドの電位に応じた電位の信号を発生する機能設定回路の出力信号の論理をと

った信号をバウンダリースキャンテスト回路の入力初段の2入力論理ゲートへ与えているため、このバウンダリースキャンテスト回路が動作可能状態に設定される場合においても、モード設定回路からの出力信号に従って、このバウンダリースキャンテスト回路の論理ゲートの出力電位を固定的に設定することができ、このモード設定回路の出力信号の動作モードに、確実に、バウンダリースキャンテスト回路を動作停止状態に設定することができ、消費電流を低減することができる。

【0157】

請求項5に係る発明に従えば、機能設定回路を、電源投入時第1のパッドを第1の論理レベルに設定するための第1のトランジスタと、この第1のパッドの電位の論理レベルを反転するためのインバータ回路と、このインバータ回路の出力信号に従って、第1のトランジスタと並列に設けられる第2のトランジスタを選択的にオン状態に設定しているため、この対応の第1のパッドを、NC状態においても、確実に、この第1のパッドを、第1の論理レベルに固定することができる。また、単にインバータとトランジスタとのラッチ回路で第1のパッドの電位を固定しているため、この第1パッドの電位安定時、電流が流れる経路は存在せず、消費電流が低減される。また、第1のパッドが第2の論理レベルに設定される場合においても、第1のトランジスタが電源投入時所定期間のみオン状態となるだけであり、第1トランジスタのオフ状態を維持するため、電源投入時に、電流が消費されるだけであり、この第1のパッドの電源電位が第2の論理レベルに安定化した状態においては、電流が流れる経路は存在せず、消費電流が低減される。

【0158】

請求項6に係る発明に従えば、モード設定回路を、機能設定回路と同様の構成で構成しているため、この第3パッドに対して設けられるモード設定回路の消費電流を低減することができ、また第3パッドがNC状態であっても確実に、所定の論理レベルの電位レベルに固定することができる。

【0159】

請求項7に係る発明に従えば、所定のパッドを、電源投入時オン状態となる第

1のトランジスタとこの出力パッドの電位を反転するインバータとインバータの出力信号に応答して選択的に導通する第1のトランジスタと並列に設けられる第2のトランジスタとで構成しているため、このパッドがボンディングオプションパッドであっても、消費電流を増加させることなく正確に、このパッドの電位に応じて内部動作モードを指定することができる。

【0160】

請求項8に係る発明に従えば、このパッドとインバータとの間にゲートに固定電位を受けるトランスファゲートを設けているため、このパッド電位を、トランスファゲートの制御電極ノード電位よりも高い電圧レベルに設定することができ、パッドの固定電圧レベルを、複数種類の電圧レベルに設定することが可能となり、半導体集積回路のボード実装時における配線レイアウトが簡略化され、またボード設計の自由度が増加する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体集積回路の全体の構成を概略的に示す図である。

【図2】 図1に示すスキャンレジスタ群の構成を概略的に示す図である。

【図3】 図1に示す機能設定回路の構成の一例を示す図である。

【図4】 図1に示すモード設定回路の構成の一例を示す図である。

【図5】 図1に示す電源投入検出回路の構成の一例を示す図である。

【図6】 図5に示す電源投入検出回路の動作を示す信号波形図である。

【図7】 図1に示す入力回路の構成の一例を示す図である。

【図8】 この発明の実施の形態2に従う半導体集積回路の要部の構成を概略的に示す図である。

【図9】 図8に示すフォロースルーモード設定回路およびバーストモード設定回路の構成の一例を示す図である。

【図10】 図9に示す動作モード設定回路の動作を示す信号波形図である。

。

【図11】 (A)は、QFPパッケージの上面図であり、(B)は、QFPパッケージの前側面図であり、(C)は、右側面図であり、かつ(D)は、(

B) の部分 30B の拡大図である。

【図 12】 (A) は、BGA パッケージの上面図であり、(B) は、右側面図であり、(C) は、その裏面図である。

【図 13】 従来のシンクロナス・バースト SRAM の全体の構成を概略的に示す図である。

【図 14】 シンクロナス・バースト SRAM の QFP パッケージにおけるピン配置を示す図である。

【図 15】 シンクロナス・バースト SRAM の BGA アレイのピン配置を示す図である。

【図 16】 従来のバウンダリースキャンテストを説明するための図である。

【図 17】 従来のバウンダリースキャンテスト回路内蔵半導体集積回路の構成を概略的に示す図である。

【図 18】 シンクロナス・バースト SRAM の動作モード設定信号のボンディングオプションピンの状態と指定される動作モードの対応関係を一覧にして示す図である。

【図 19】 従来のボンディングオプションパッドの入力部の構成を示す図である。

【図 20】 従来のボンディングオプションパッドの入力部の構成を示す図である。

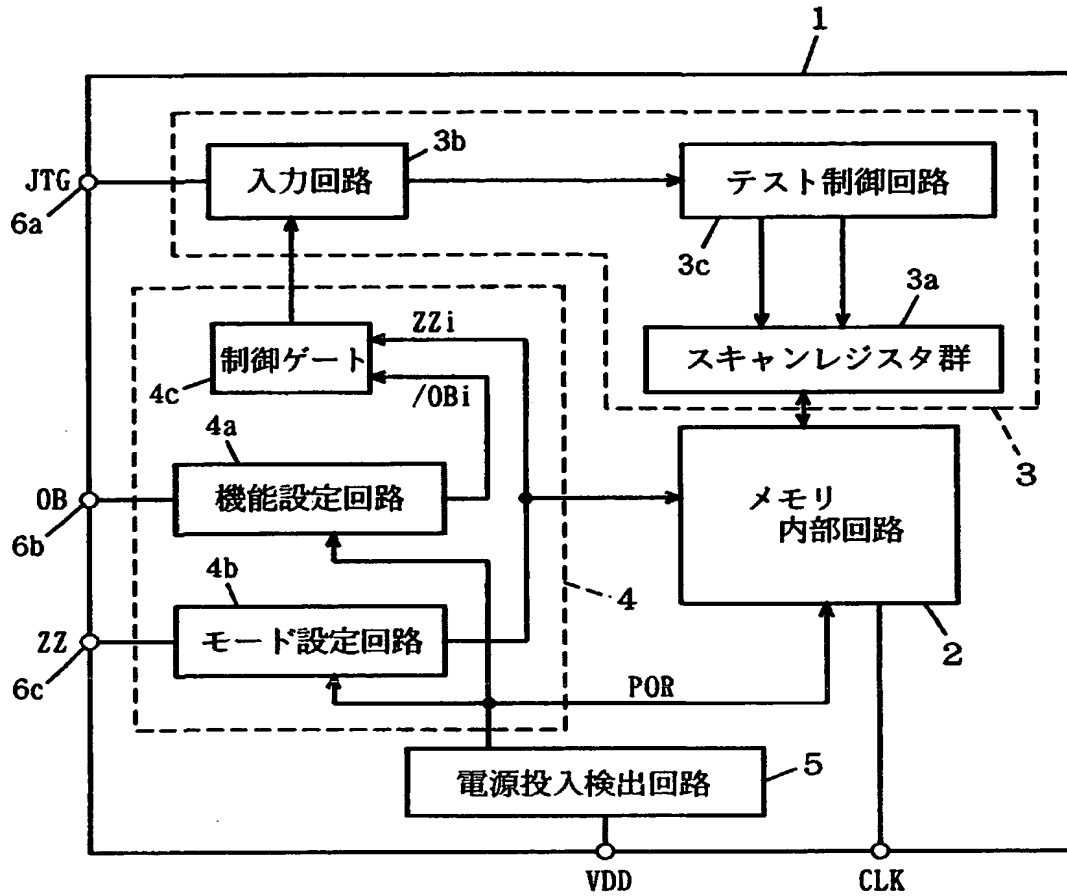
【符号の説明】

1 半導体集積回路、2 メモリ内部回路、3 バウンダリースキャンテスト回路、3a スキャンレジスタ群、3b 入力回路、3c テスト制御回路、4 制御回路、4a 機能設定回路、4b モード設定回路、4c 制御ゲート、5 電源投入検出回路、6a, 6b, 6c パッド、4ab インバータ、4ae, 4af MOS トランジスタ、4bb インバータ、4be, 4bf MOS トランジスタ、4ad, 4bd レベル変換回路、4ca NOR 回路、3bb 2入力 NAND 回路、10a フォロースルーモード設定回路、10b バーストモード設定回路、20 動作モード設定回路、20b インバータ、20

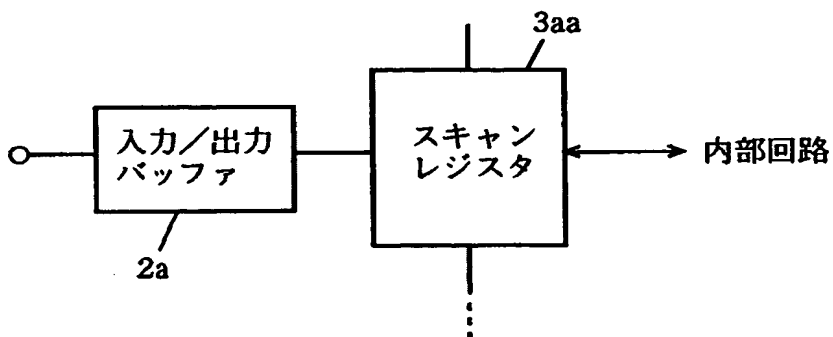
f nチャンネルMOSトランジスタ、20g, 20e pチャンネルMOSトラン
ジスタ。

【書類名】 図面

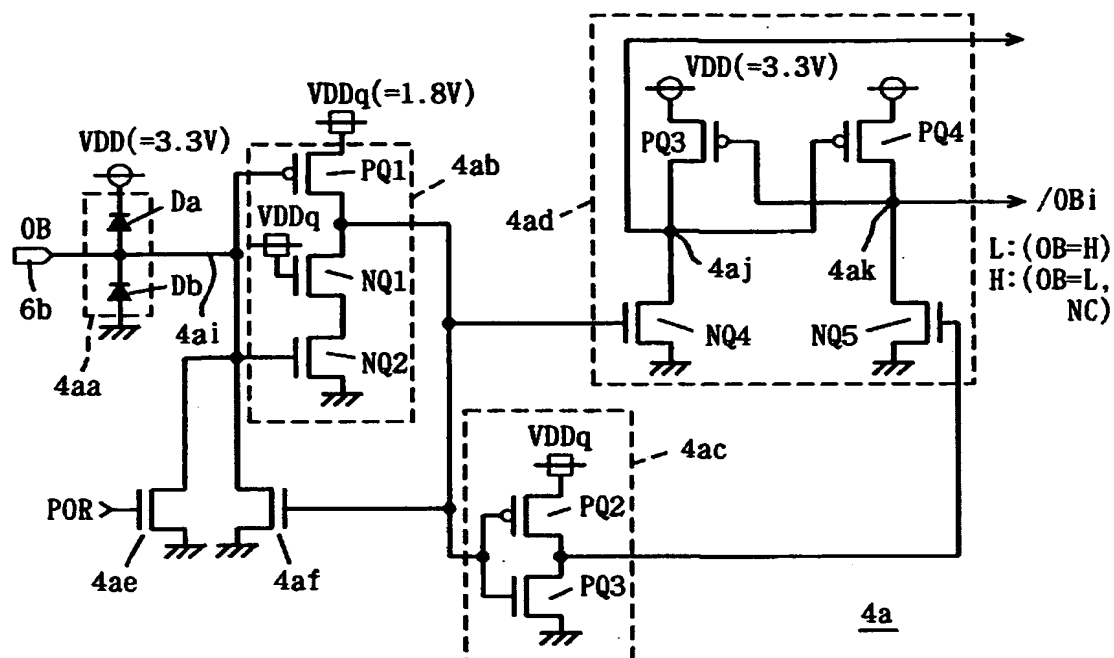
【図 1】



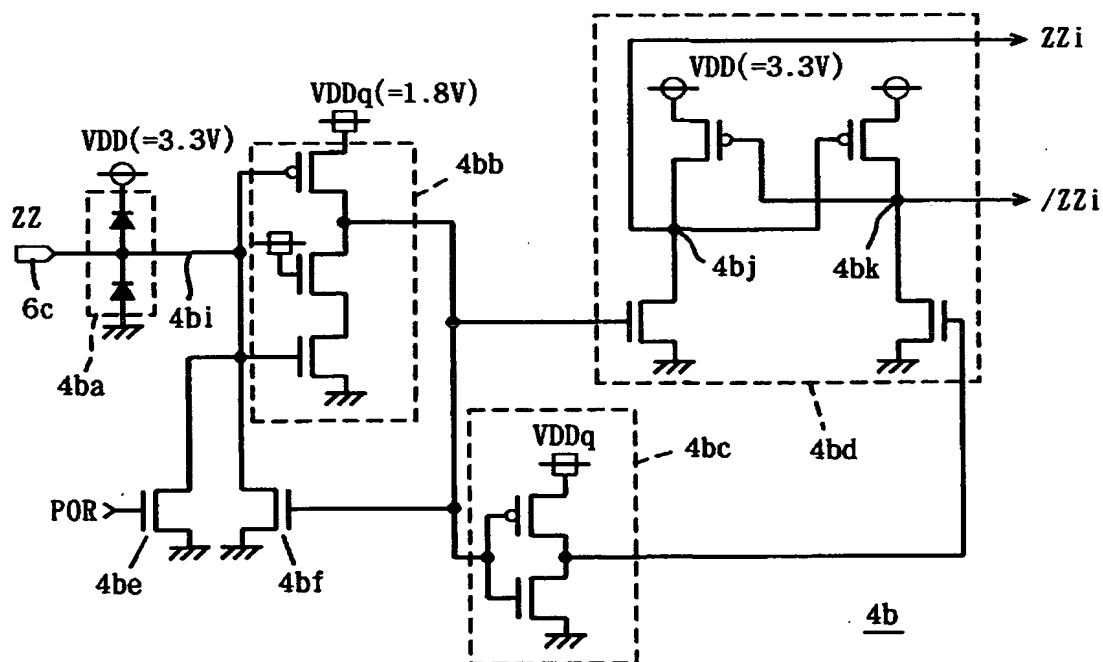
【図 2】



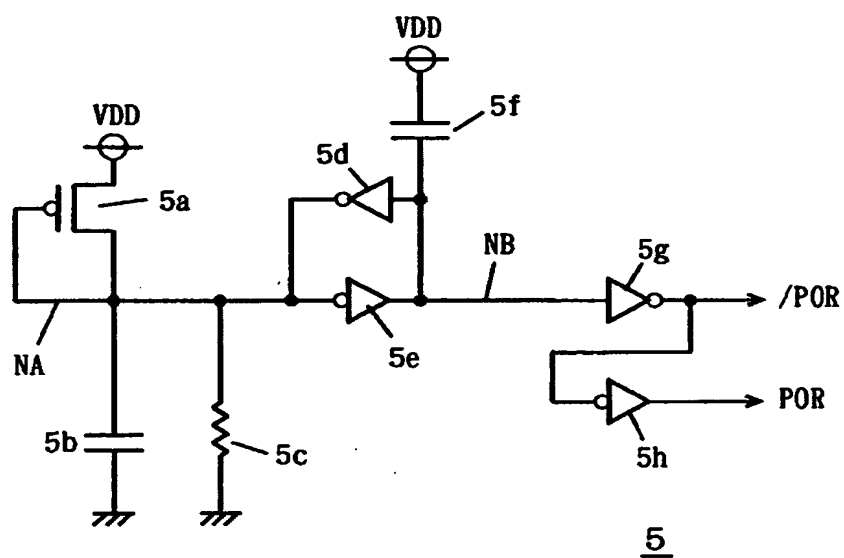
【図 3】



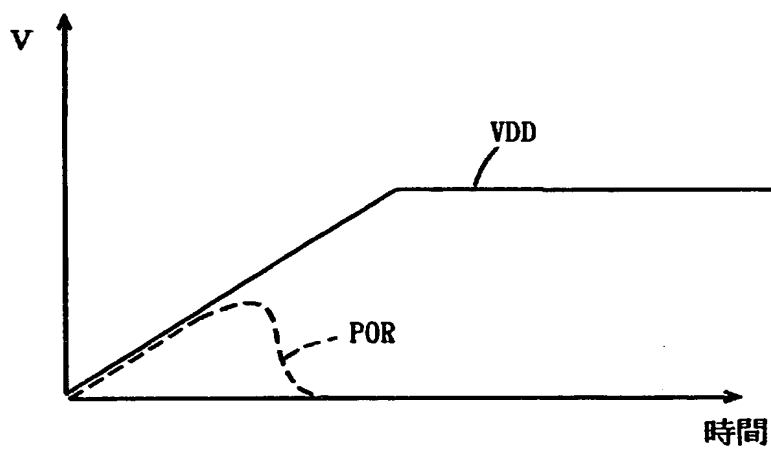
【図 4】



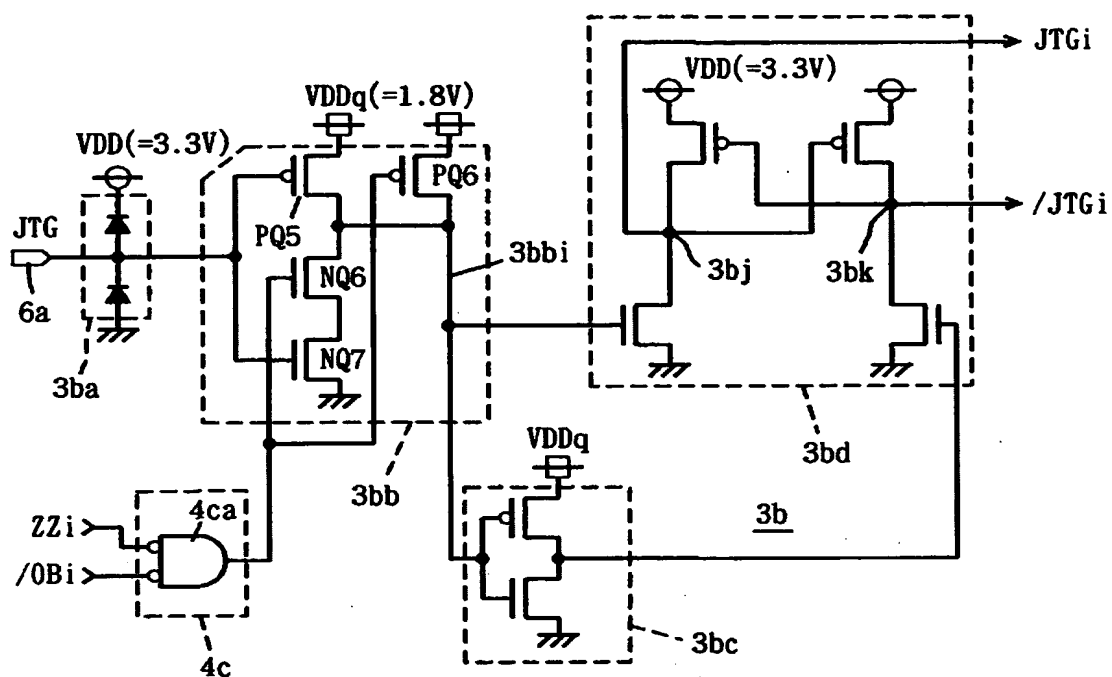
【図 5】



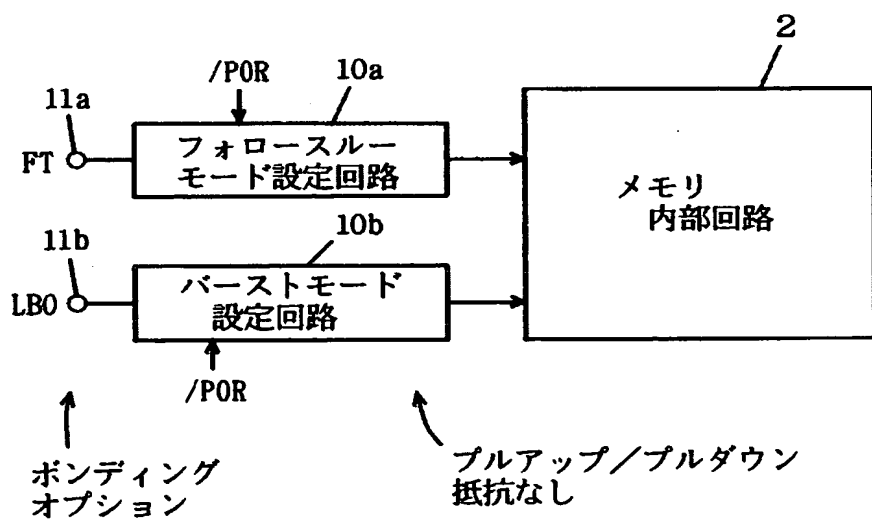
【図 6】



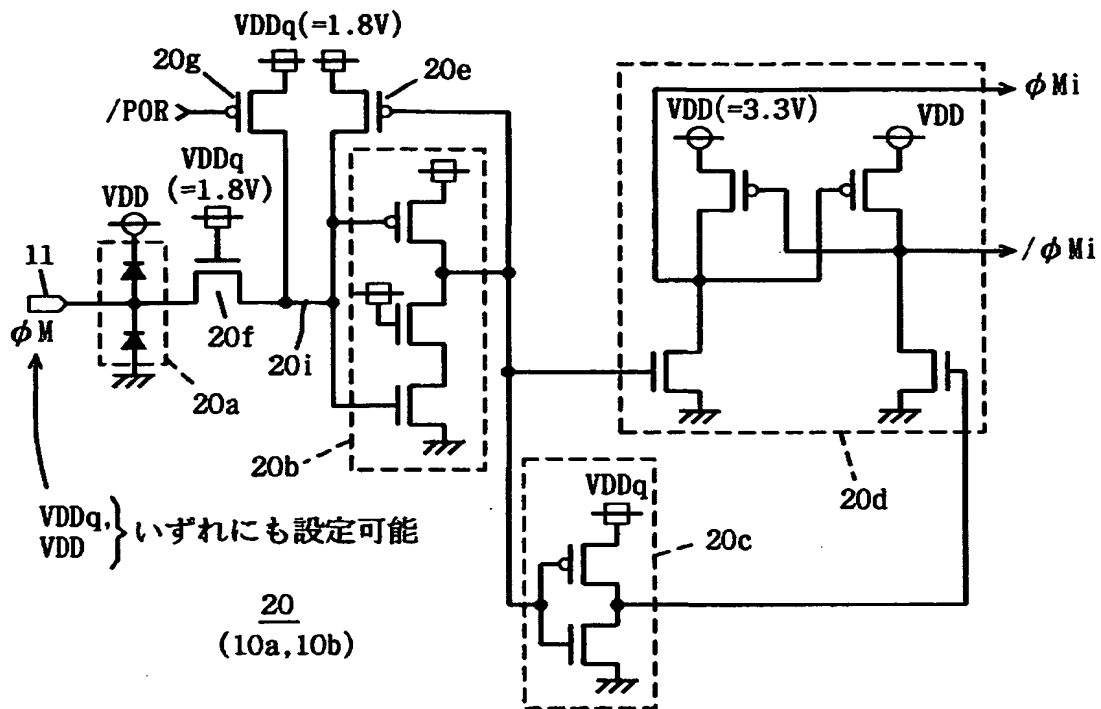
【図 7】



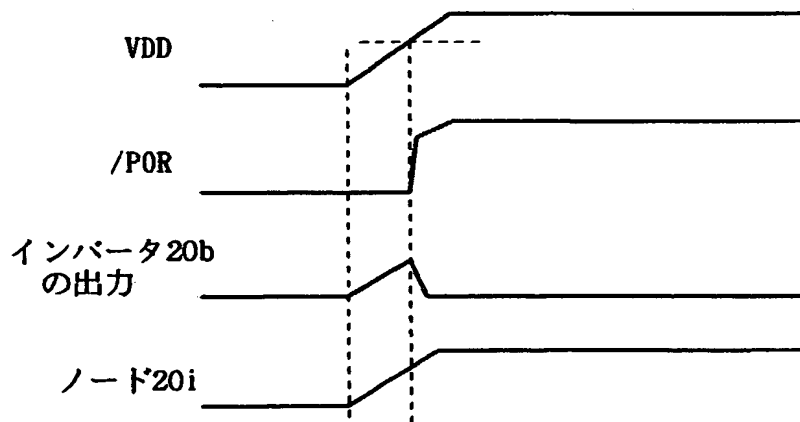
【图 8】



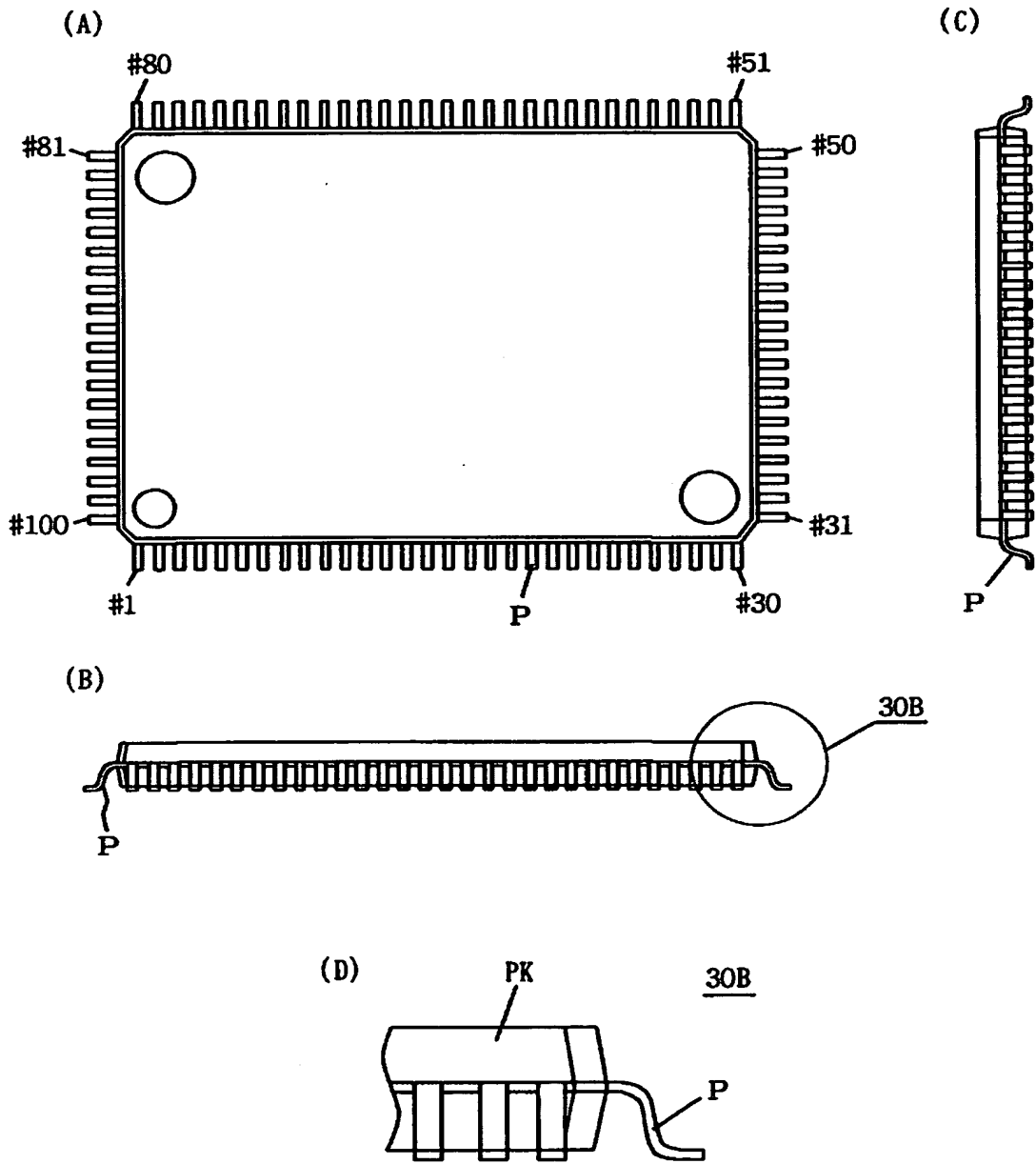
【図 9】



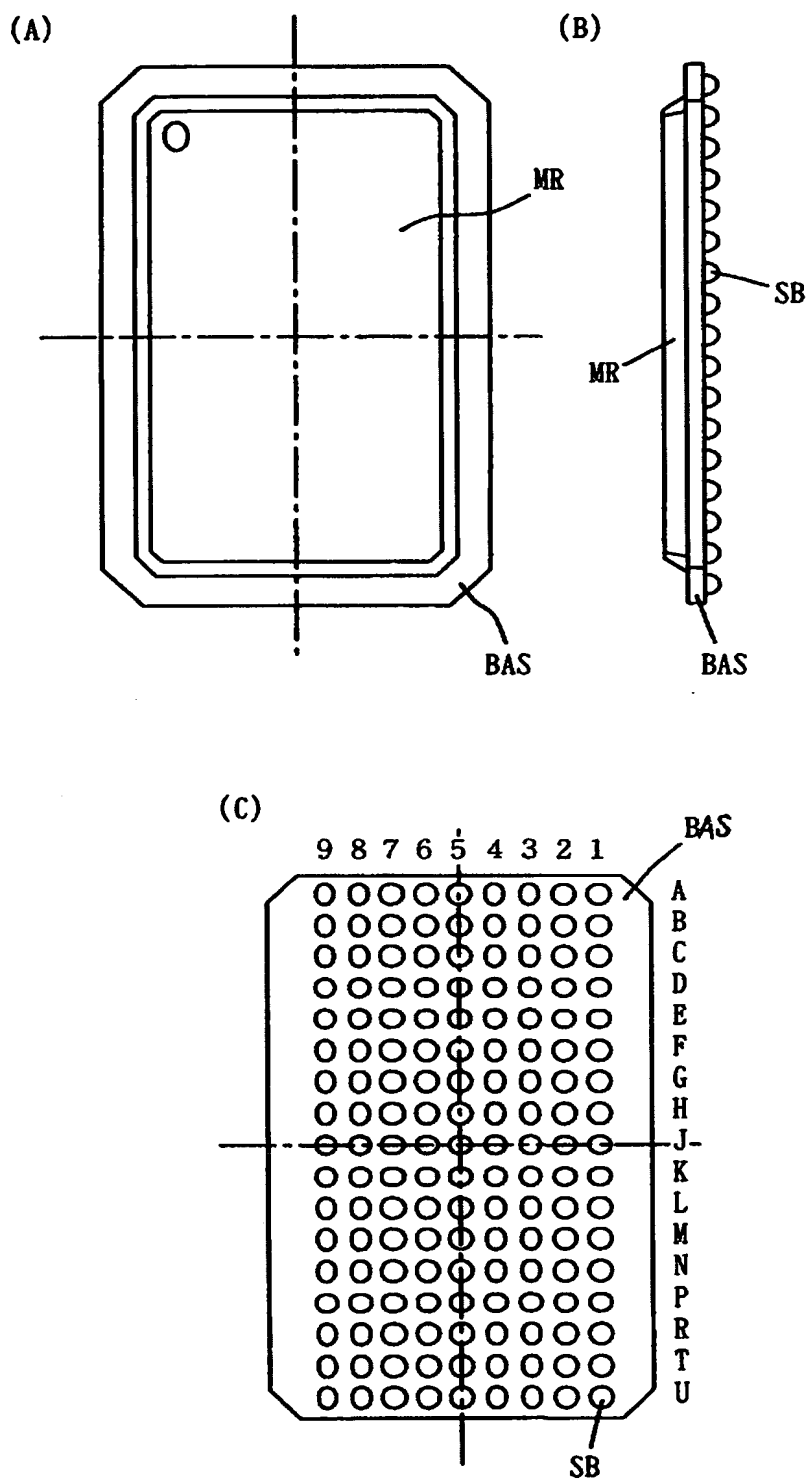
【図 10】



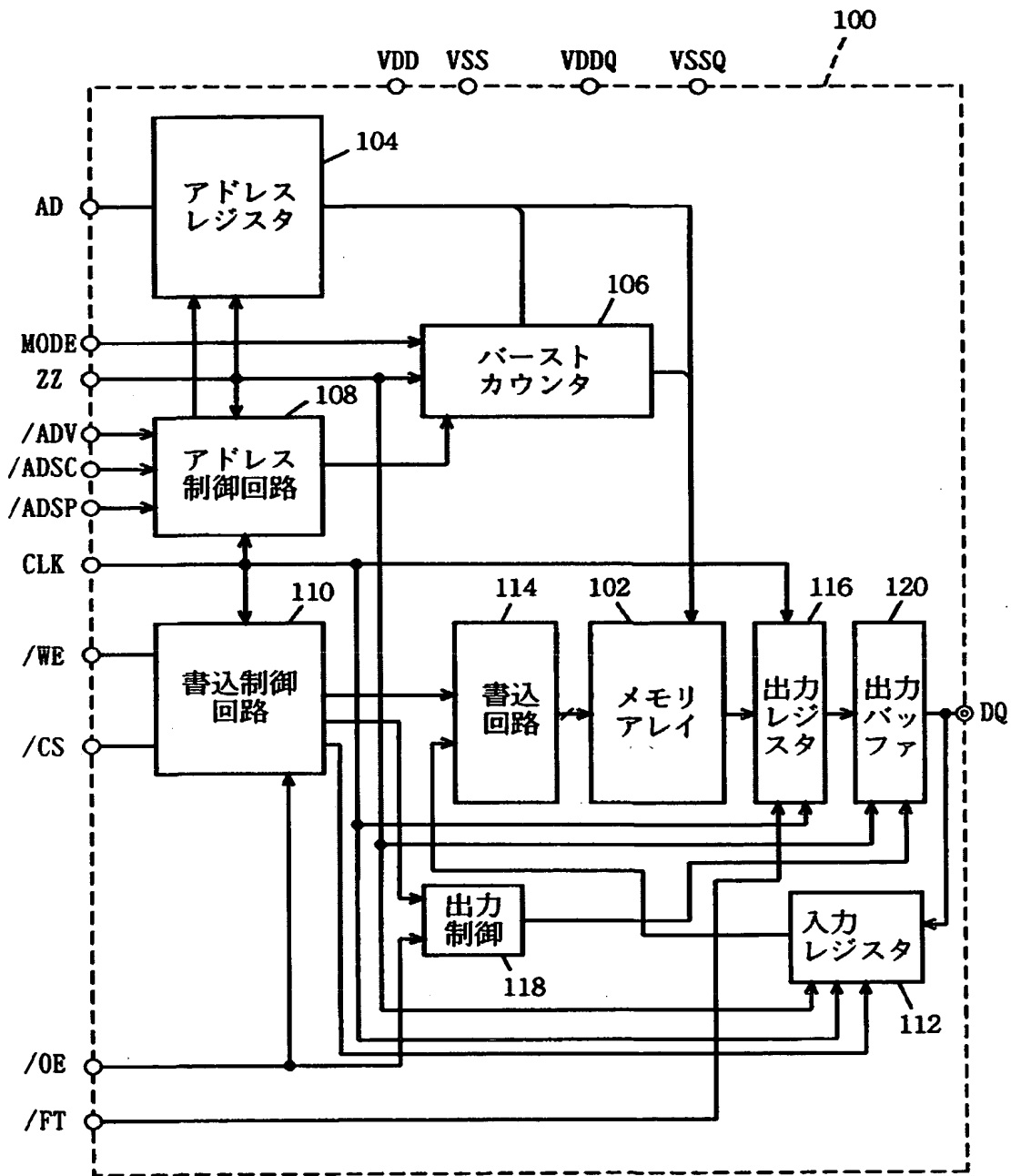
【図 11】



【図 12】



【図 13】



1

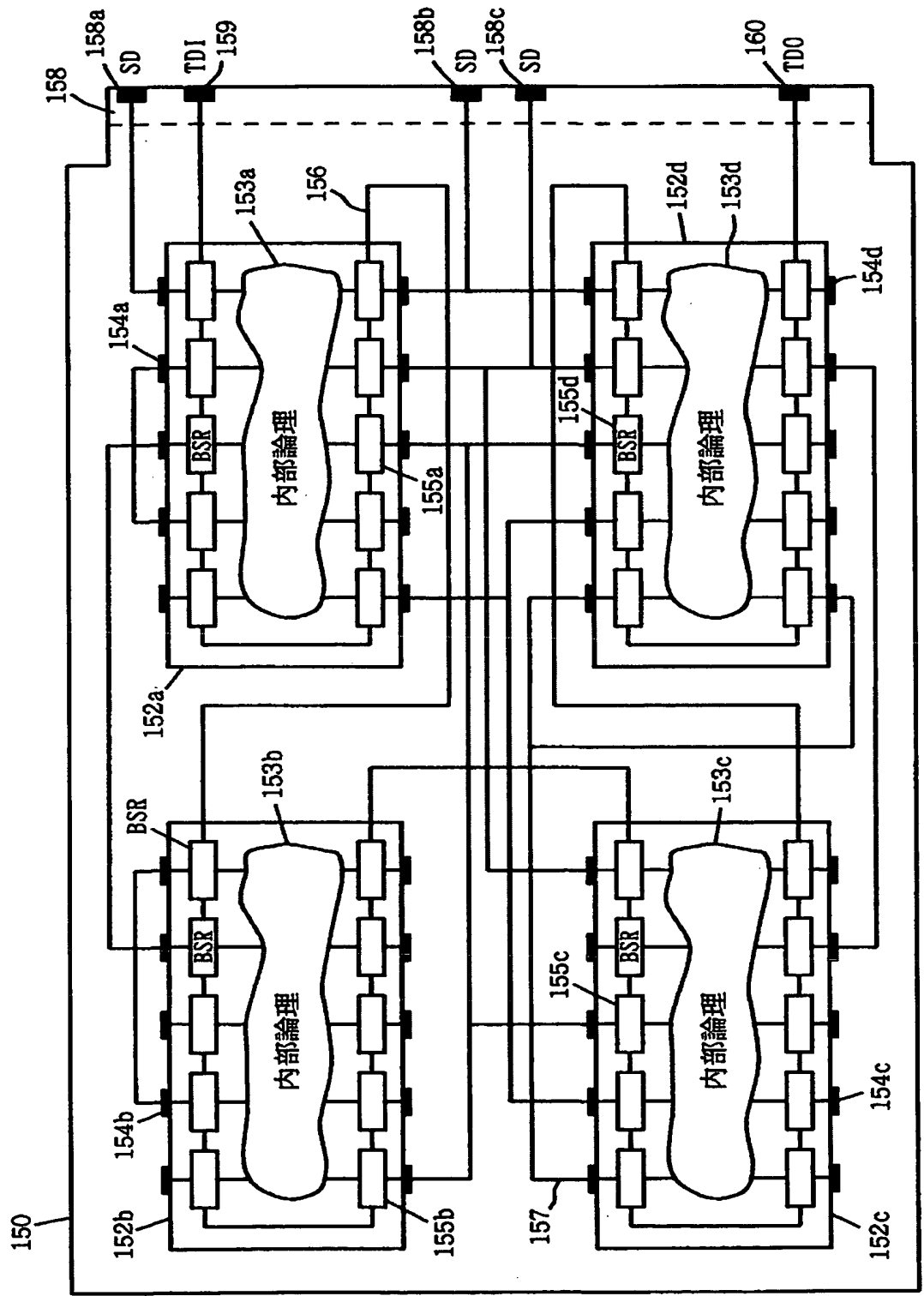


【図 15】

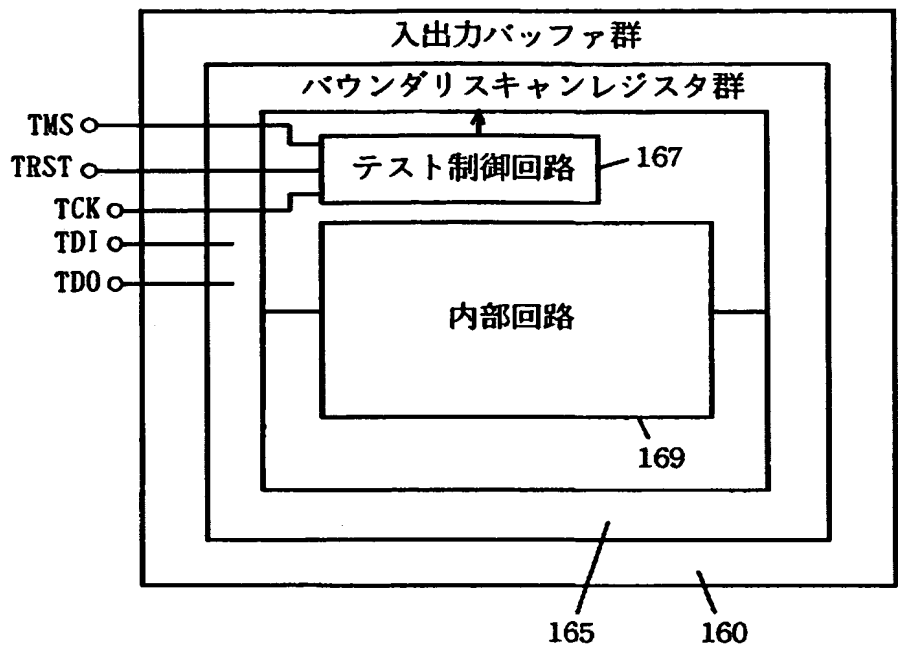
	1	2	3	4	5	6	7
A	Vddq	SA	SA	SAP#	SA	SA	Vddq
B	NC	SE2	NC	SAC#	NC	SE3#	NC
C	NC	SA	SA	Vdd	SA	SA	NC
D	DQc	DQPc	Vss	NC	Vss	DQPb	DQb
E	DQc	DQc	Vss	SE1#	Vss	DQb	DQb
F	Vddq	DQc	Vss	G#	Vss	DQb	Vddq
G	DQc	DQc	SBWc#	SADV#	SBWb#	DQb	Vddq
H	DQc	DQc	Vss	SGW#	Vss	DQb	DQb
J	Vddq	Vdd	NC	Vdd	NC	Vdd	Vddq
K	DQd	DQd	Vss	CK	Vss	DQa	DQa
L	DQd	DQd	SBWd#	NC	SBWa#	DQa	DQa
M	Vddq	DQd	Vss	SBWE#	Vss	DQa	Vddq
N	DQd	DQd	Vss	SA1	Vss	DQa	DQa
P	DQd	DQPd	Vss	SA0	Vss	DQPa	DQa
R	NC	SA	LBO#	Vdd	FT#	SA	NC
T	NC	NC	SA	SA	SA	NC	ZZ
U	Vddq	TMS	TDI	TCK	TD0	TRST	Vddq

32K・32 シンクロナスタースRAM
119 半田ボール (バンプ) 割当

【図 16】



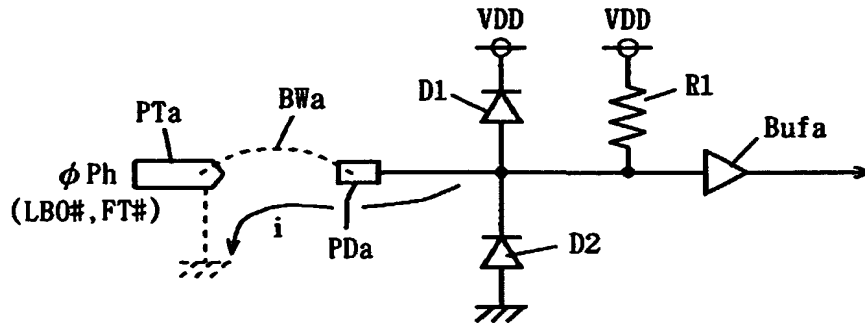
【図 17】



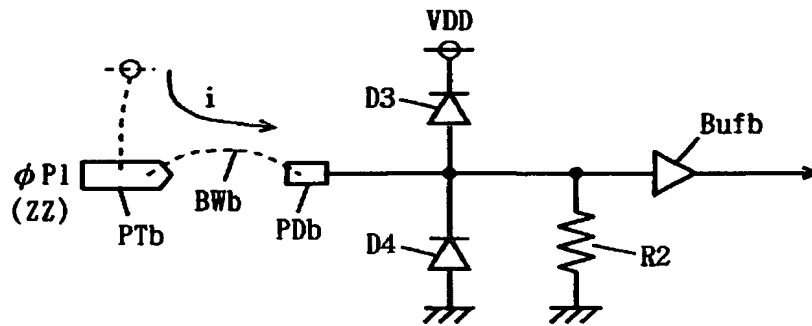
【図 18】

信号 \ 状態	NC	H	L
/FT(FT#)	通常 (パイプライン)	通常 (パイプライン)	フォロースルー (ノンパイプライン)
MODE(LBO#)	インターリーブド バースト	インターリーブド バースト	リニアバースト
ZZ	通常	スヌーズモード	通常

【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 ボンディングオプションパッドに対する入力部の消費電流を低減しかつこのボンディングオプションパッドに接続される回路の誤動作を防止する。

【解決手段】 バウンダリースキャンテスト回路（3）を、ボンディングパッド（6b）の電位に従って、その動作モードを指定する機能設定回路（4a）からの信号に従って制御ゲート（4c）より、選択的に動作可能／不能状態に設定する。特にテスト回路（3）の入力初段の入力回路（3b）の動作可能／不能を制御することにより、テスト回路（3）の動作不能時の消費電流を低減しかつ誤動作を防止することができる。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006013
【住所又は居所】 東京都千代田区丸の内二丁目2番3号
【氏名又は名称】 三菱電機株式会社

【代理人】

申請人
【識別番号】 100064746
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091395
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 吉田 博由

【選任した代理人】

【識別番号】 100091409
【住所又は居所】 大阪府大阪市北区南森町2-1-29 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 伊藤 英彦

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社